

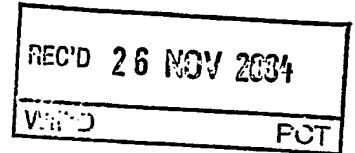
2004/016244
04.11.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 4 月 2 6 日



出 願 番 号
Application Number: 特 願 2 0 0 4 - 1 3 0 2 1 7
[ST. 10/C]: [J P 2 0 0 4 - 1 3 0 2 1 7]

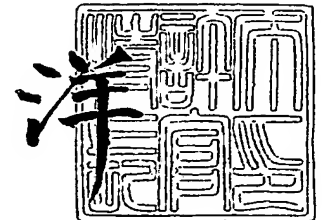
出 願 人
Applicant(s): 新 光 電 気 工 業 株 式 有 限 公 司

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1 (a) OR (b)

2 0 0 4 年 8 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出 証 番 号 出 証 特 2 0 0 4 - 3 0 7 1 4 1 6

【書類名】 特許願
【整理番号】 SD15-342
【提出日】 平成16年 4月26日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H01L 23/12
H01L 23/02
【発明者】
【住所又は居所】 長野県長野市小島田町 8 0 番地 新光電気工業株式会社内
【氏名】 高池 英次
【特許出願人】
【識別番号】 000190688
【氏名又は名称】 新光電気工業株式会社
【代理人】
【識別番号】 100070150
【弁理士】
【氏名又は名称】 伊東 忠彦
【先の出願に基づく優先権主張】
【出願番号】 特願2003-377892
【出願日】 平成15年11月 7日
【手数料の表示】
【予納台帳番号】 002989
【納付金額】 16,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0202532

【書類名】 特許請求の範囲

【請求項 1】

電子素子と、

前記電子素子が接合されるインターポーザ基材と、前記電子素子の電極と接続される複数のポスト電極とを有するインターポーザとを具備する電子装置において、

前記電子素子と前記インターポーザ基材とを直接接触させることにより一体化すると共に、前記ポスト電極を前記電子素子の電極上に直接形成した構成としたことを特徴とする電子装置。

【請求項 2】

電子素子と、

前記電子素子が接合されるインターポーザ基材と、該インターポーザ基材に形成された貫通孔内に配設され前記電子素子の電極と接続される複数のポスト電極とを有するインターポーザとを具備する電子装置において、

前記電子素子の表面と前記インターポーザ基材の表面とを直接接触させることにより一体化すると共に、前記ポスト電極を前記電子素子の電極上に直接形成した構成としたことを特徴とする電子装置。

【請求項 3】

請求項 1 または 2 記載の電子装置において、

前記電子素子の材質と前記インターポーザ基材の材質が同一であることを特徴とする電子装置。

【請求項 4】

請求項 3 記載の電子装置において、

前記電子素子の材質と前記インターポーザ基材の材質が、共にシリコンであることを特徴とする電子装置。

【請求項 5】

請求項 1 乃至 4 のいずれが 1 項に記載の電子装置において、

前記電子素子の少なくとも前記インターポーザ基材と接合する位置に第 1 の絶縁材層を形成すると共に、

前記インターポーザ基材の少なくとも前記電子素子と接合する位置に第 2 の絶縁層を形成したことを特徴とする電子装置。

【請求項 6】

請求項 2 乃至 5 のいずれか 1 項に記載の電子装置において、

複数の前記ポスト電極が、ひとつの前記貫通孔内に配設されていることを特徴とする電子装置。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の電子装置において、

前記インターポーザ基材に段差部を形成し、該電子素子を前記段差部内に前記電子素子を収納する構成としたことを特徴とする電子装置。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載の電子装置において、

前記インターポーザ基材は複数の前記電子素子が搭載されてなることを特徴とする電子装置。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 項に記載の電子装置において、

前記インターポーザ基材は前記電子素子の背面部と接合してなることを特徴とする電子装置。

【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載の電子装置において、

前記電子素子を封止する封止樹脂を前記インターポーザ基材に配設したことを特徴とする電子装置。

【請求項 1 1】

請求項 1 乃至 1 0 のいずれか 1 項に記載の電子装置において、
前記電子素子は半導体チップであることを特徴とする電子装置。

【請求項 1 2】

請求項 1 乃至 1 0 のいずれか 1 項に記載の電子装置において、
前記電子素子は受動素子であることを特徴とする電子装置。

【請求項 1 3】

貫通孔が形成されたインターポーザ基材の表面と電子素子の表面とを直接接触させることにより、前記インターポーザ基材と前記電子素子とを一体化する一体化工程と、
該一体化工程の終了後、前記貫通孔内でかつ前記電子素子の電極上にポスト電極を直接形成するポスト電極形成工程と、
前記ポスト電極と電氣的に接続される再配線層を形成する再配線形成工程と、
前記再配線の上に外部接続電極を形成する外部接続電極形成工程と
を有することを特徴とする電子装置の製造方法。

【請求項 1 4】

電子素子の電極上にポスト電極を直接形成するポスト電極形成工程と、
該ポスト電極形成工程の終了後、貫通孔が形成されたインターポーザ基材の表面と電子素子の表面とを直接接触させ、前記インターポーザ基材と前記電子素子とを一体化する一体化工程と、
前記ポスト電極と電氣的に接続される再配線層を形成する再配線形成工程と、
前記再配線の上に外部接続電極を形成する外部接続電極形成工程と
を有することを特徴とする電子装置の製造方法。

【請求項 1 5】

請求項 1 5 記載の電子装置の製造方法において、
前記ポスト電極を保持する絶縁材よりなる保護層を前記電子素子に形成する保護層形成工程を有することを特徴とする電子装置の製造方法。

【書類名】明細書

【発明の名称】電子装置及びその製造方法

【技術分野】

【0001】

本発明は電子装置及びその製造方法に係り、特にインターポーザを介して電子素子を実装基板に電氣的に接続する構成とされた電子装置及びその製造方法に関する。

【背景技術】

【0002】

一般に半導体装置は、半導体チップをインターポーザに接合する構造を有している。例えば、インターポーザとしてリードフレームを用いた半導体装置では、インターポーザとなるリードフレームに形成されたダイパッドに半導体チップを固定すると共に、リードフレームと半導体チップをワイヤにより電氣的に接続する構造とされている。

【0003】

また、近年の半導体チップの高密度化及び多ピン化に対応するため、BGA(Ball Grid Array)、またはLGA(Land Grid Array)と称せられるパッケージ構造の半導体装置が多用されている。この半導体装置は、半導体チップにはんだバンプを形成すると共に、この半導体チップをインターポーザとなる基板にフリップチップ実装する構造が採られている。

【0004】

また、BGA或いはLGAに用いられるインターポーザは、表面にはんだバンプが接合される電極パッドが形成されると共に、背面に外部接続端子(はんだボール或いはリード)が接合される電極パッドが形成されている。また、表裏に設けられた各電極パッドは、インターポーザ基材を貫通して形成されたビアにより電氣的に接続された構成とされている。

【0005】

また、このパッケージ構造では、半導体チップとインターポーザとがバンプで電氣的かつ機械的に接合されるため、半導体チップとインターポーザとの機械的接合性が弱い。このため、半導体チップとインターポーザとの間に、アンダーフィル樹脂を設け、これにより半導体チップとインターポーザとの接合位置における機械的強度を高めることが行なわれている。

【0006】

一方、上記のBGA或いはLGAの他に、例えば特許文献1に示されるような、チップサイズパッケージタイプの半導体装置(以下、CSPという)が知られている。このCSPは、パッケージの形状を略半導体チップ(ベアチップ)の大きさと同等の大きさとした半導体装置である。

【0007】

このCSPは、外部接続端子としてはんだバンプ或いはポスト(半導体チップにはんだにより接合されている)が形成されており、実装基板(この実装基板もインターポーザの一種と考えられる)にフリップチップ実装される。尚、上記のポストは、半導体チップ上の電極にはんだ付け接合された構成とされている(特許文献1参照)。

【特許文献1】特開2002-164369号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、半導体装置に求められる高密度化の要求は益々厳しくなり、従前では150 μ mであった端子間ピッチが、現在では70 μ mの狭ピッチが要求されるようになってきている。150 μ mの端子間ピッチであればデザインルールに比較的余裕を持たせることができ、ラインアンドスペースも例えばライン幅及びラインスペースを共に15 μ m程度に設定することができる。

【0009】

しかしながら、端子間ピッチが $70\mu\text{m}$ と狭ピッチ化が進むと、半導体チップ側ではラインアンドスペースに余裕がなくなり、フリップチップ接合時において隣接したはんだバンプ間で短絡が発生してしまうという問題点が生じる。また、インターポーザ側においては、インターポーザ基材の表裏面に形成される各電極パッドや、インターポーザ基材を貫通して形成されるビアの形成が微細化のために困難となり、インターポーザの製造コストが上昇してしまうという問題点が生じる。

【0010】

本発明は上記の点に鑑みてなされたものであり、容易かつ確実に狭ピッチ化に対応すると共に製造コストの低減を図り得る電子装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【0012】

請求項1記載の発明は、
電子素子と、

前記電子素子が接合されるインターポーザ基材と、前記電子素子の電極と接続される複数のポスト電極とを有するインターポーザとを具備する電子装置において、

前記電子素子と前記インターポーザ基材とを直接接触させることにより一体化すると共に、前記ポスト電極を前記電子素子の電極上に直接形成した構成としたことを特徴とするものである。

【0013】

請求項2記載の発明は、
電子素子と、

前記電子素子が接合されるインターポーザ基材と、該インターポーザ基材に形成された貫通孔内に配設され前記電子素子の電極と接続される複数のポスト電極とを有するインターポーザとを具備する電子装置において、

前記電子素子の表面と前記インターポーザ基材の表面とを直接接触させることにより一体化すると共に、前記ポスト電極を前記電子素子の電極上に直接形成した構成としたことを特徴とするものである。

【0014】

上記の請求項1及び2の発明によれば、電子素子とインターポーザが直接電氣的に接続されるため、電子素子とインターポーザとの接合にバンプやアンダーフィル樹脂を設ける必要がなくなり、部品点数の削減及び電子装置の薄型化を図ることができる。

【0015】

また、インターポーザはポスト電極により電子素子と電氣的に接続されるため、バンプによる接続構造に比べて電極間ピッチを狭ピッチ化することが可能となり、よって電子装置の高密度化を図ることができる。

【0016】

更に、電子素子とインターポーザ基材は直接接触させることにより一体化されているため、バンプとアンダーフィル樹脂を用いた接合力よりも強い接合力で電子素子とインターポーザ基材とを接合することができる。

【0017】

また、請求項3記載の発明は、

請求項1または2記載の電子装置において、

前記電子素子の材質と、前記インターポーザ基材の材質が同一であることを特徴とするものである。

【0018】

上記発明によれば、電子素子の材質とインターポーザ基材の材質が同一であるため接合

性を高めることができ、よって電子素子の表面とインターポーザ基材の表面とを確実に一体化させることができる。

【0019】

また、請求項4記載の発明は、
請求項3記載の電子装置において、
前記電子素子の材質と前記インターポーザ基材の材質が、共にシリコンであることを特徴とするものである。

【0020】

上記発明のように、電子素子の材質とインターポーザ基材の材質は、共にシリコンとすることが望ましい。

【0021】

また、請求項5記載の発明は、
請求項1乃至4のいずれか1項に記載の電子装置において、
前記電子素子の少なくとも前記インターポーザ基材と接合する位置に第1の絶縁材層を形成すると共に、
前記インターポーザ基材の少なくとも前記電子素子と接合する位置に第2の絶縁層を形成したことを特徴とするものである。

【0022】

上記発明によれば、絶縁材層を電子素子及びインターポーザ基材の接合位置に形成した場合には、接合に必要な高い平滑性を持たせる領域を狭くすることができ、絶縁材層の形成を容易化することができる。また、絶縁材層を電子素子及びインターポーザ基材の全面に形成した場合には、この絶縁層を電子素子及びインターポーザ基材を保護する保護層として機能させることができる。

【0023】

また、請求項6記載の発明は、
請求項2乃至6のいずれか1項に記載の電子装置において、
複数の前記ポスト電極が、ひとつの前記貫通孔内に配設されていることを特徴とするものである。

【0024】

上記発明によれば、ひとつの貫通孔内に複数の前記ポスト電極が配設されるため、ポスト電極の形成精度に比べ貫通孔の形成精度を低くすることができ、貫通孔の形成を容易化することができる。

【0025】

また、請求項7記載の発明は、
請求項1乃至6のいずれか1項に記載の電子装置において、
前記インターポーザ基材に段差部を形成し、該電子素子を前記段差部内に前記電子素子を収納する構成としたことを特徴とするものである。

【0026】

上記発明によれば、電子素子をインターポーザに形成された段差部内に収納できるため、電子装置の薄型化を図ることができる。

【0027】

また、請求項8記載の発明は、
請求項1乃至7のいずれか1項に記載の電子装置において、
前記インターポーザ基材は複数の前記電子素子が搭載されてなることを特徴とするものである。

【0028】

上記発明のように、インターポーザ基材に複数の前記電子素子が搭載されている場合には、ポスト電極等の配線を複数の電子素子において一括的に形成することが可能となり、製造効率を向上させることができる。

【0029】

また、請求項 9 記載の発明は、
請求項 1 乃至 8 のいずれか 1 項に記載の電子装置において、
前記インターポーザ基材は前記電子素子の背面部と接合してなることを特徴とするものである。

【0030】

上記発明によれば、電子素子の背面部がインターポーザ基材と接合することにより、電子素子とインターポーザ基材との接合面積を広くすることができ、電子素子の取付け強度を高めることができる。

【0031】

また、請求項 10 記載の発明は、
請求項 1 乃至 9 のいずれか 1 項に記載の電子装置において、
前記電子素子を封止する封止樹脂を前記インターポーザ基材に配設したことを特徴とするものである。

【0032】

上記発明によれば、電子素子を封止する封止樹脂をインターポーザ基材に配設したことにより、電子素子はインターポーザ基材に封止樹脂により封止された状態で固定されるため、電子素子の保護を確実に図ることができると共に、インターポーザ基材に対する電子素子の取付け強度を高めることができる。

【0033】

また、請求項 11 記載の発明は、
請求項 1 乃至 10 のいずれか 1 項に記載の電子装置において、
前記電子素子は半導体チップであることを特徴とするものである。

【0034】

また、請求項 12 記載の発明は、
請求項 1 乃至 10 のいずれか 1 項に記載の電子装置において、
前記電子素子は受動素子であることを特徴とするものである。

【0035】

上記請求項 11 及び請求項 12 に記載のように、電子素子は半導体チップであっても受動素子であってもよい。

【0036】

また、請求項 13 記載の発明に係る電子装置の製造方法は、
貫通孔が形成されたインターポーザ基材の表面と電子素子の表面とを直接接触させることにより、前記インターポーザ基材と前記電子素子とを一体化する一体化工程と、
該一体化工程の終了後、前記貫通孔内でかつ前記電子素子の電極上にポスト電極を直接形成するポスト電極形成工程と、
前記ポスト電極と電気的に接続される再配線層を形成する再配線形成工程と、
前記再配線の上に外部接続電極を形成する外部接続電極形成工程とを有することを特徴とするものである。

【0037】

上記発明によれば、一体化工程において電子素子とインターポーザ基材が直接接触させることにより一体化されるため、電子素子とインターポーザとの接合にバンプやアンダーフィル樹脂を設ける必要が無くなり、製造工程の簡単化を図ることができる。

【0038】

また、一体化工程の終了後にポスト電極形成工程を実施し、貫通孔内でかつ電子素子の電極上にポスト電極を直接形成したことにより、電子素子とインターポーザとの間のインピーダンスの低減を図ることができ、電気的特性の向上を図ることができる。また、インターポーザ基材に形成された貫通孔を型としてポスト電極を形成することができるため、ポスト電極の形成の簡単化を図ることができる。

【0039】

また、請求項 14 記載の発明に係る電子装置の製造方法は、

電子素子の電極上にポスト電極を直接形成するポスト電極形成工程と、
該ポスト電極形成工程の終了後、貫通孔が形成されたインターポーザ基材の表面と電子素子の表面とを直接接触させ、前記インターポーザ基材と前記電子素子とを一体化する一体化工程と、
前記ポスト電極と電氣的に接続される再配線層を形成する再配線形成工程と、
前記再配線層上に外部接続電極を形成する外部接続電極形成工程とを有することを特徴とするものである。

【0040】

上記発明によれば、一体化工程において電子素子とインターポーザ基材が直接接触させることにより一体化されるため、電子素子とインターポーザとの接合にバンプやアンダーフィル樹脂を設ける必要がなくなり、製造工程の簡単化を図ることができる。

【0041】

また、ポスト電極形成工程において電子素子の電極上にポスト電極を直接形成するため、電子素子とインターポーザとの間のインピーダンスの低減を図ることができ、電氣的特性の向上を図ることができる。

【0042】

また、ポスト電極形成工程の終了後に一体化工程を実施することにより、ポスト電極形成はインターポーザ基材に形成された貫通孔に拘わらず形成することができるため、インターポーザ基材の貫通孔を利用してポスト電極を形成する方法に比べ、ポスト電極の微細化を図ることができる。

【0043】

また、請求項15記載の発明は、
請求項14記載の電子装置の製造方法において、
前記ポスト電極を保持する絶縁材よりなる保護層を前記電子素子に形成する保護層形成工程を有することを特徴とするものである。

【0044】

上記発明によれば、ポスト電極を保持する絶縁材よりなる保護層を電子素子に形成する保護層形成工程を設けたことにより、電子素子上に直接形成されたポスト電極を保護層により保持できるため、ポスト電極が微細化してもこれを確実に保護することができる。

【発明の効果】

【0045】

本発明によれば、電子素子とインターポーザとの接合にバンプやアンダーフィル樹脂を設ける必要がなくなり、部品点数の削減及び電子装置の薄型化を図ることができる。また、バンプによる接続構造に比べて電極間ピッチを狭ピッチ化することが可能となり、よって電子装置の高密度化を図ることができる。更に、電子素子とインターポーザ基材は直接接触させることにより一体化されるため、バンプとアンダーフィル樹脂を用いた接合力よりも強い接合力で電子素子とインターポーザ基材とを接合することができる。

【発明を実施するための最良の形態】

【0046】

次に、本発明を実施するための最良の形態について図面と共に説明する。

【0047】

図1は、本発明の第1実施例である半導体装置10Aを示す断面図である。本実施例に係る半導体装置10Aは、半導体チップ11とインターポーザ20Aとよりなる簡単な構成とされている。

【0048】

半導体チップ11は高密度化された半導体チップであり、回路形成面側に複数の電極13が形成された構成とされている。この電極13は例えばアルミ電極であり、その上層にはバリアメタル14が形成されている。このバリアメタル14は、図示されないが複数の金属膜を積層した構成とされており、その最外層は銅(Cu)膜とされている。

【0049】

また、半導体チップ11の回路形成面において、電極13形成以外の領域は絶縁膜15により被覆された構成とされている。本実施例では、半導体チップ11はシリコン基板から形成されたものであり、よって絶縁膜15は二酸化シリコン(SiO_2)である。

【0050】

この二酸化シリコンは高い電氣的絶縁性と、物理的な安定を有している。よって、半導体チップ11に形成された薄膜回路は、絶縁膜15により保護される。この絶縁膜15の所定位置は後述するように半導体チップ11に接触されて一体化するが、少なくともこの接触領域における絶縁膜15の表面は高精度な平滑面とされている。

【0051】

尚、図1では図示の便宜上、隣接する電極13間の距離を大きく図示しているが、前記のように半導体チップ11は高密度化されている。よって隣接する電極13間のピッチ(端子間ピッチ)も小さくなっており、具体的には本実施例で対象とする電極13の端子間ピッチは $100\mu\text{m}$ 以下である。

【0052】

一方、インターポーザ20Aは、インターポーザ基材21A、ポスト電極22A、再配線層23、外部接続端子24、及び第2の絶縁層26等により構成されている。インターポーザ基材21Aはシリコンにより形成されており、また半導体チップ11に形成された電極13と対応する位置にはポスト電極22Aが形成されている。

【0053】

ポスト電極22Aは、銅(Cu)により形成されている。このポスト電極22Aは、インターポーザ基材21Aに形成された貫通孔31A内に設けられている。また、インターポーザ基材21Aとポスト電極22Aが短絡しないよう、インターポーザ基材21Aとポスト電極22Aの間には、第1の絶縁層25(梨地で示す)が形成されている。本実施例では、第1の絶縁層25としてポリイミド樹脂を用いている。

【0054】

このポスト電極22Aの図中下端部はバリアメタル14に直接接合しており、また上端部は再配線層23に電氣的に接続されている。再配線層23もポスト電極22Aと同様に銅により形成されており、所定のパターンを有している。そして、再配線層23のポスト電極22Aとの接続位置に対する反対側の端部には、外部接続端として機能する外部接続端子24が形成されている。この外部接続端子24は、例えばはんだボールが用いられている。

【0055】

更に、再配線層23の上部には、第2の絶縁層26が形成されている。第2の絶縁層26は、主に再配線層23を保護するために形成される。この第2の絶縁層26も、第1の絶縁層25と同様にポリイミド樹脂により形成されている。

【0056】

ここで、半導体チップ11とインターポーザ基材21Aとの接合構造、及び電極13とポスト電極22Aの電氣的接続構造に注目し、以下説明する。

【0057】

先ず、半導体チップ11とインターポーザ基材21Aとの接合構造に注目すると、本実施例では半導体チップ11とインターポーザ基材21Aとの接合するのに接着材やろう材を用いることはしておらず、また溶着或いは溶接等の加熱を伴う接合手段も用いていない。

【0058】

本実施例では、半導体チップ11とインターポーザ基材21Aのそれぞれ接合される位置における接合面を高精度の平滑面(鏡面)とし、半導体チップ11とインターポーザ基材21Aとを真空環境下に置いた上で、平滑面同士を押圧しつつ接触させる。これにより、平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、半導体チップ11とインターポーザ基材21Aは強固に接合された状態となる(この接合方法を微小基材面接合方法という)。

【0059】

この際、接合されるもの同士の材質は同一或いは同種であることが望ましい。即ち、半導体チップ11の接合位置における材質と、インターポーザ基材21Aの接合位置における材質は同一或いは同種であることが望ましい。これにより、半導体チップ11とインターポーザ基材21Aとの接合力を高めることができ、半導体装置10Aの信頼性を高めることができる。

【0060】

本実施例では、半導体チップ11の接合位置はSiO₂よりなる絶縁膜15であり、インターポーザ基材21Aはシリコンである。しかしながら、図示しないがインターポーザ基材21Aの表面には、通常SiO₂の薄膜層が形成されている。よって、半導体チップ11の接合位置における材質と、インターポーザ基材21Aの接合位置における材質は同一となる。

【0061】

更に、前記したように半導体チップ11及びインターポーザ基材21Aの接合位置は、いずれも平滑面とされている。よって本実施例では、真空環境下において平滑面とされた互いの接合面を接触させて押圧することにより、半導体チップ11とインターポーザ20Aは一体化する。

【0062】

このように、本実施例では半導体チップ11とインターポーザ20A（インターポーザ基材21A）とを直接接触させることにより一体化しているため、従来行なわれていたバンプとアンダーフィル樹脂を用いて半導体チップとインターポーザとを接合する構造に比べ、強い接合力で半導体チップ11とインターポーザ20Aとを接合することができる。

【0063】

また、本実施例では半導体チップ11を封止する封止樹脂は設けられておらず、これにより放熱特性の向上を図ることができる。また、単に真空環境下で接触させるだけで半導体チップ11とインターポーザ20Aを接合できるため、接合に要する部品点数の削減を図ることができる。

【0064】

尚、本実施例では、半導体チップ11とインターポーザ20Aが接合されることにより外部に形成される段部に接合補助部材27を配設した構成としている。これにより、半導体チップ11とインターポーザ20Aの取付け強度をより高めることができ、半導体装置10Aの信頼性をより高めることができる。

【0065】

続いて、電極13とポスト電極22Aの電氣的接続構造に注目する。前記したように、ポスト電極22Aはインターポーザ基材21Aに形成された貫通孔31A内に形成されている。

【0066】

従来では、半導体チップとインターポーザを電氣的に接続しようとした場合、半導体チップにはんだバンプを形成し、これをインターポーザにフリップチップ接合することが行なわれていたことは前述した通りである。

【0067】

これに対して本実施例では、ポスト電極22Aを半導体チップ11の電極13上（詳細にはバリアメタル14上）に直接形成した構成としたことを特徴としている。即ち、本実施例に係る半導体装置10Aはポスト電極22Aが電極13上に直接めっき法等（これについては後述する）により形成されており、ポスト電極22Aと電極13との間には、はんだバンプ等の他の導電性要素は介在していない。

【0068】

このため、本実施例に係る半導体装置10Aによれば、従来必要とされたバンプやアンダーフィル樹脂が不要となり、部品点数の削減を図ることができる。また、バンプやアンダーフィル樹脂が不要となることにより、半導体装置10Aの薄型化を図ることもできる。

。更に、バンプを用いていた従来の接続構造に比べ、隣接するポスト電極 22A の電極間ピッチを狭ピッチ化することが可能となり、よって半導体装置 10A の高密度化を図ることができる。

【0069】

続いて、上記構成とされた半導体装置 10A の製造方法について説明する。図 2 乃至図 4 は、半導体装置 10A の製造方法を説明するための図である。尚、図 2 乃至図 4 において、図 1 に示した構成と同一構成については同一符号を付してその説明を省略するものとする。

【0070】

半導体装置 10A を製造するには、図 2 (A) に示すように、半導体チップ 11 とインターポーザ基材 21A を用意する。半導体チップ 11 は、周知の半導体製造プロセスを経ることにより製造されるものであり、回路形成面側 (図中上面) にはバリアメタル 14 により保護された電極 13 が形成されている。

【0071】

また、電極 13 の形成位置以外は SiO_2 よりなる絶縁膜 15 が形成されており、この絶縁膜 15 により回路形成面に形成された電子回路は保護されている。この絶縁膜 15 の少なくともインターポーザ基材 21A と接合される部位は、高精度に平滑化されている。

【0072】

一方、インターポーザ基材 21A は、シリコンウエハーから切り出したものであり、半導体チップ 11 に形成された電極 13 と対応する位置には貫通孔 31A が形成されている。この貫通孔 31A は、電極 13 の面積よりも広い断面積を有するよう構成されている。このインターポーザ基材 21A は、その表面全面に保護膜としての SiO_2 膜 (図示せず) が形成されている。

【0073】

更に、インターポーザ基材 21A の表面で、少なくとも半導体チップ 11 と接合される部位は、高精度に平滑化されている。この半導体チップ 11 及びインターポーザ基材 21A に形成される接合面を平滑化する方法としては種々の方法が考えられるが、比較的安価な処理としてはラッピング等の研削法を用いることができ、また更に高精度の平坦面を形成しようとする場合には CMP (化学機械研磨) またはドライエッチングを適用することも考えられる。

【0074】

上記構成とされた半導体チップ 11 及びインターポーザ基材 21A は、真空装置内に入れられる。そして貫通孔 31A と電極 13 とを位置決めした上で、図 2 (B) に示されるように、半導体チップ 11 とインターポーザ基材 21A は、互いの平坦面 (鏡面) 同士が接触され続いて加圧される。これにより、平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、これにより半導体チップ 11 とインターポーザ基材 21A は強固に接合された状態となる (一体化工程)。

【0075】

一体化工程が終了すると、続いて貫通孔 31A 内にかつ半導体チップ 11 の電極 13 (バリアメタル 14) にポスト電極 22A を直接形成するポスト電極形成工程が実施される。このポスト電極形成工程では、先ず図 2 (C) に示されるように、貫通孔 31A を封止すると共にインターポーザ基材 21A の上面が被覆されるよう第 1 の絶縁層 25 を形成する。この第 1 の絶縁層 25 はポリイミド樹脂であり、スピナー法或いはポッティング法を用いてインターポーザ基材 21A に形成することができる。

【0076】

第 1 の絶縁層 25 が形成されると、続いて図 3 (A) に示されるように、第 1 の絶縁層 25 の上部に所定の開口部 33 を有した第 1 のレジスト材 32 が形成される。続いて、この第 1 のレジスト材 32 をマスクとして第 1 の絶縁層 25 を除去する処理が行なわれる。この除去処理が実施されることにより、図 3 (B) に示すように電極用孔 34 が形成されると共に、電極用孔 34 の下端にバリアメタル 14 が露出する。

【0077】

次に、電極用孔34内に銅めっきを実施し、これにより図3(C)に示すように、電極用孔34内にポスト電極22Aを形成する。この際、ポスト電極22Aはバリアメタル14上に銅が直接析出されることにより形成されるため、ポスト電極22Aはバリアメタル14(即ち、電極13)上に直接形成された構成となる。尚、ポスト電極22Aの形成には、電解めっき法或いは無電解めっき法のいずれをも用いることが可能である。

【0078】

上記したポスト電極形成工程が終了すると、続いて再配線層23を形成する再配線形成工程が実施される。この再配線形成工程では、図4(A)に示すように、再配線層23の形成位置に開口部36を有したパターン第2のレジスト材35が形成される。この第2のレジスト材35は、ホトレジスト材をインターポーザ基材21A上に塗布し、その後に露光及び現像処理を行なうことにより形成される。

【0079】

第2のレジスト材35が形成されると、続いて開口部36内に銅めっきを実施し、これにより図4(B)に示すように、開口部36内に再配線層23を形成する。この際、ポスト電極22Aの上端部に直接再配線層23が形成されるため、ポスト電極22Aと再配線層23との電氣的接続性は良好となる。尚、再配線層23の形成方法についても、電解めっき法或いは無電解めっき法のいずれを用いることも可能である。

【0080】

上記した再配線形成工程が終了すると、続いて再配線層23上に外部接続端子24を形成する外部接続電極形成工程が実施される。外部接続電極形成工程では、先ず第2のレジスト材35を除去すると共に、これにより露出した第1の絶縁層25及び再配線層23の上部に第2の絶縁層26を形成する。この第2の絶縁層26は、第1の絶縁層25と同質であるポリイミド樹脂により形成されている。

【0081】

この第1の絶縁層25の再配線層23と対向する所定位置には、図4(C)に示すように、開口部37が形成される。本実施例では、開口部37を再配線層23のポスト電極22Aと接続する端部と反対側の端部に形成しているが、開口部37の形成位置は任意に選定することが可能である。尚、開口部37の形成方法としては、エッチング法或いはレーザ加工法等を用いることができる。

【0082】

続いて、図4(D)に示すように、上記の開口部37にははんだボールよりなる外部接続端子24が搭載され、熱処理することにより再配線層23に接合させる。以上の一連の工程を実施することにより、図1に示す半導体装置10Aが製造される。

【0083】

上記した製造方法によれば、一体化工程において半導体チップ11とインターポーザ基材21Aは直接接触させることにより一体化される。このため、半導体チップ11とインターポーザ20Aの接合に、従来必要とされたバンプやアンダーフィル樹脂を設ける必要がなくなり、製造工程の簡単化を図ることができる。

【0084】

また、一体化工程の終了後に実施されるポスト電極形成工程では、貫通孔31A内に基板22Aが形成される。この際、ポスト電極22Aは半導体チップ11のバリアメタル14(電極13)に直接形成されるため、半導体チップ11とインターポーザ20A間のインピーダンスの低減を図ることができ、電氣的特性の向上を図ることができる。また、インターポーザ基材21Aに形成された貫通孔31A(実際には、内周に第1の絶縁層25の膜が形成されている)を型としてポスト電極22Aが形成されるため、ポスト電極22Aの形成を簡単化することができる。

【0085】

尚、上記実施例では、半導体チップ11とインターポーザ基材21Aの接合位置における材質を同一材質(SiO_2)としたが、必ずしも半導体チップ11とインターポーザ基

材21Aの接合位置における材質を同一材質とする必要はない。例えば、SiO₂膜が存在しないSiのみからなるインターポーザ基材21Aであっても、接合面同士が平滑面であればSiO₂よりなる絶縁膜15と接触させるのみで接合することは可能である。

【0086】

続いて、本発明の第2実施例について説明する。図5は、本発明の第2実施例である半導体装置10Bを示しており、また図6は半導体装置10Bの製造方法を示している（一体化工程のみ示す）。尚、図5において、先の説明に用いた図1乃至図4に示した構成と同一構成については、同一符号を付してその説明を省略するものとする。また、後の説明に用いる図6以降の各図についても同様とする。

【0087】

本実施例に係る半導体装置10Bは、半導体チップ11に形成されている絶縁膜15の表面にチップ側ポリイミド膜16（請求項に記載の第1の絶縁材層に相当する。以下、チップ側PI膜16という）を形成すると共に、インターポーザ20Bを構成するインターポーザ基材21Aの外周にインターポーザ側ポリイミド膜28（請求項に記載の第2の絶縁材層に相当する。以下、インターポーザ側PI膜28という）を形成したことを特徴とするものである。

【0088】

本実施例では、チップ側PI膜16を絶縁膜15の表面全面（電極13の形成位置は除く）に形成しており、またインターポーザ側PI膜28はインターポーザ基材21Aの外周全面に形成されている。しかしながら、各PI膜16、28は必ずしも絶縁膜15及びインターポーザ基材21Aの外周全面に形成しなければならないものではなく、少なくとも半導体チップ11とインターポーザ基材21Aとの接合位置に形成されていればよい。

【0089】

チップ側PI膜16及びインターポーザ側PI膜28の半導体チップ11とインターポーザ基材21Aとが接合される位置は、高い平滑性を有した平滑面とされている。本実施例では、半導体チップ11に形成されたチップ側PI膜16と、インターポーザ基材21Aに形成されたインターポーザ側PI膜28を接触させることにより、半導体チップ11とインターポーザ基材21Aとを接合した構成とされている。

【0090】

従って半導体装置10Bの製造方法においては、一体化工程を実施する際、図6（A）に示すように予め半導体チップ11側では絶縁膜15上にチップ側PI膜16を形成しておき、またインターポーザ基材21A側ではその表面（本実施例では、外周全面）にインターポーザ側PI膜28を形成しておく。そして、上記構成とされた半導体チップ11及びインターポーザ基材21Aは、真空装置内に入れられ、所定の真空環境下で互いの平坦面（鏡面）同士が接触され続いて加圧される。

【0091】

これにより、図6（B）に示されるように平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、これにより半導体チップ11とインターポーザ基材21Aは強固に接合された状態となる。このように、半導体チップ11及びインターポーザ基材21Aの表面にPI膜16、28（樹脂膜）が被膜された状態であっても、接着剤等を用いなくても接触させ押圧するのみで半導体チップ11とインターポーザ基材21Aとを接合することができる。

【0092】

この際、PI膜16、28を半導体チップ11及びインターポーザ基材21Aの接合位置のみに形成した場合には、接合に必要な高い平滑性を持たせる領域を狭くすることができ、PI膜16、28の表面平滑化処理を容易化することができる。また、PI膜16、28を半導体チップ11及びインターポーザ基材21Aの外周全面に形成した場合には、このPI膜16、28を半導体チップ11及びインターポーザ基材21Aを保護する保護層として機能させることができる。

【0093】

尚、一体化工程が終了した後の工程は、図 2 乃至図 4 を用いて説明した第 1 実施例に係る半導体装置 1 0 A の製造方法と同一であるため、その説明は省略する。

【0 0 9 4】

続いて、本発明の第 3 実施例について説明する。図 7 は、本発明の第 3 実施例である半導体装置 1 0 C を示しており、また図 8 は半導体装置 1 0 C の製造方法を示している（ポスト電極形成工程及び一体化工程のみ示す）。

【0 0 9 5】

本実施例に係る半導体装置 1 0 C は、一体化工程を実施する前にポスト電極形成工程を実施することにより製造されたことを特徴とするものである。即ち、本実施例に係る半導体装置 1 0 C は、半導体チップ 1 1 の電極 1 3（バリアメタル 1 4）上にポスト電極 2 2 B を直接形成した後、このポスト電極 2 2 B が形成された半導体チップ 1 1 をインターポーザ基材 2 1 A と直接接合させることにより製造される。

【0 0 9 6】

図 8（A）に示すように、半導体チップ 1 1 にポスト電極 2 2 B を形成するには、例えば次のような方法を用いることができる。即ち、先ず半導体チップ 1 1 の回路形成面上に感光性を有したドライフィルムを貼着する。このドライフィルムの厚さは、ポスト電極 2 2 B の高さと同しく設定されている。続いて、このドライフィルムに露光及び現像処理を行なうことにより、ポスト電極 2 2 B の形成位置に貫通孔を形成する。

【0 0 9 7】

この貫通孔が形成された状態で、その底部にはバリアメタル 1 4 が露出した状態となる。続いて、銅めっきを行なうことにより、ドライフィルムに形成された貫通孔内にポスト電極 2 2 A を形成する。この際、ポスト電極 2 2 A はバリアメタル 1 4（電極 1 3）上に直接形成された構成となる。続いて、ドライフィルムを剥離することにより、図 8（A）に示すポスト電極 2 2 B が形成された半導体チップ 1 1 が製造される。

【0 0 9 8】

上記したポスト電極形成工程が終了すると、続いて一体化工程が実施される。この一体化工程では、半導体チップ 1 1 及びインターポーザ基材 2 1 B は真空装置内に入れられ、所定の真空環境下で互いの平坦面（鏡面）同士が接触され続いて加圧される。これにより平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、図 8（B）に示されるように、半導体チップ 1 1 とインターポーザ基材 2 1 B は強固に接合された状態となる。

【0 0 9 9】

この半導体チップ 1 1 とインターポーザ基材 2 1 B とが一体化した状態において、ポスト電極 2 2 B はインターポーザ基材 2 1 A に形成されている貫通孔 3 1 A 内に挿通された状態となっている。また、ポスト電極 2 2 B の直径は、貫通孔 3 1 A の直径に対して小さいため、ポスト電極 2 2 B の外周面と貫通孔 3 1 A の内周面との間には間隙が形成される。

【0 1 0 0】

上記の一体化工程が終了すると、第 1 の絶縁層 2 5 の形成処理が実施される。この際、図 8（C）に示されるように、第 1 の絶縁層 2 5 はポスト電極 2 2 B の外周面と貫通孔 3 1 A の内周面との間の間隙内にも充填される。尚、第 1 の絶縁層 2 5 の形成処理が終了した後の工程は、図 2 乃至図 4 を用いて説明した第 1 実施例に係る半導体装置 1 0 A の製造方法と同一であるため、その説明は省略する。

【0 1 0 1】

上記のように本実施例に係る半導体装置 1 0 C 及びその製造方法によれば、ポスト電極形成工程の終了後に一体化工程を実施しているため、ポスト電極 2 2 B の形成はインターポーザ基材 2 1 A に形成された貫通孔 3 1 A に拘わらず形成することができる。即ち、前記した第 1 実施例に係る半導体装置 1 0 A の製造方法と異なり、貫通孔 3 1 A はポスト電極 2 2 B を形成するためのいわゆる型としては用いられていないため、ポスト電極 2 2 B と貫通孔 3 1 A とを別個に形成することができる（但し、ポスト電極 2 2 B の直径を貫通孔 3 1 A の直径に対して小さくする必要はある）。

【0102】

このため、インターポーザ基材 21A に形成された貫通孔 31A を利用してポスト電極 22A を形成した第 1 実施例に係る製造方法に比べ、本実施例に係る半導体装置 10C の製造方法によれば貫通孔 31A を容易に形成することができる。

【0103】

また、第 1 実施例に係る製造方法では、貫通孔 31A を型としてポスト電極 22A を形成する構成であったため、貫通孔 31A の直径がそのままポスト電極 22A の直径を決める要因となっていた。

【0104】

インターポーザ基材 21A に対する穴あけ加工は、機械加工或いはレーザ加工が主である。これに対して本実施例では、感光性を有したドライフィルムに露光及び現像処理を行なうことによりポスト電極 22B の形成用の貫通孔を形成するため、貫通孔の微細化を図ることができる。これにより、ポスト電極 22B の狭ピッチで配設することができ、半導体装置 10C の高密度化を図ることができる。

【0105】

続いて、本発明の第 4 実施例について説明する。図 9 は、本発明の第 4 実施例である半導体装置 10D を示しており、また図 10 は半導体装置 10D の製造方法を示している（一体化工程のみ示す）。

【0106】

本実施例に係る半導体装置 10D は、複数（図では 2 本のみ示す）のポスト電極 22A をひとつの貫通孔 31B 内に配設したことを特徴としている。このため、図 10（A）に示すように、インターポーザ基材 21B に形成される貫通孔 31B は、前記した第 1 乃至第 3 実施例における貫通孔 31A に比べて広い面積を有した構成とされている。また一体化工程においては、図 10（B）に示すように、インターポーザ基材 21B の貫通孔 31B が形成された縁部が半導体チップ 11 と直接接合される構成となる。

【0107】

本実施例の構成とすることにより、ひとつの貫通孔 31B 内に複数のポスト電極 22A が配設されるため、ポスト電極 22A の形成精度に比べ貫通孔 31B の形成精度を低くすることができ、よって貫通孔 31B の形成を容易化することができる。

【0108】

続いて、本発明の第 5 実施例について説明する。図 11 は、本発明の第 5 実施例である半導体装置 10E を示しており、また図 12 は半導体装置 10E の製造方法を示している（ポスト電極形成工程及び一体化工程のみ示す）。

【0109】

本実施例に係る半導体装置 10E も第 3 実施例に係る半導体装置 10D と同様に、複数のポスト電極 22B がひとつの貫通孔 31B 内に配設された構成とされている。よって、このポスト電極 22B も、バリアメタル 14（電極 13）上に直接形成された構成となっている。

【0110】

また、ポスト電極 22B は前記した第 3 実施例と同様に感光性を有したドライフィルムを用いて形成され、またポスト電極 22B の形成のタイミングは一体化工程よりも先に実施される。更に本実施例では、半導体チップ 11 にポスト電極 22B が形成された後、ポスト電極 22B を保護する保護層 17 を形成することを特徴としている。

【0111】

保護層 17 は、絶縁材よりなる。具体的には、本実施例ではポスト電極 22B の形成に用いたドライフィルムを剥離することなく、そのまま保護層 17 として使用した構成としている（保護層形成工程）。この構成とすることにより、ドライフィルムを剥離する工程を無くすることができ、新たに保護層 17 を設ける構成に比べて製造工程の短縮及び部品点数の削減を図ることができる。但し、保護層 17 の形成方法は本実施例の製造方法に限定されるものではなく、他の方法（例えば、レジスト等を利用する方法）を用いてもよい。

【0112】

上記したポスト電極22Bを形成するポスト電極形成工程、及び保護層17を形成する保護層形成工程が終了すると、一体化工程が実施される。この一体化工程では、所定の真空環境下で半導体チップ11及びインターポーザ基材21Bの平坦面（鏡面）同士が接触加圧される。

【0113】

これにより平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、図12（B）に示されように、半導体チップ11とインターポーザ基材21Bは強固に接合された状態となる。この接合状態において、保護層17の外周と貫通孔31Bの内周との間には、図12（B）に示されように間隙が形成されるよう構成されている。

上記の一体化工程が終了すると、第1の絶縁層25の形成処理が実施される。この際、図12（C）に示されるように、第1の絶縁層25は保護層17の外周面と貫通孔31Bの内周面との間の間隙内にも充填される。尚、第1の絶縁層25の形成処理が終了した後の工程は、図2乃至図4を用いて説明した第1実施例に係る半導体装置10Aの製造方法と同一であるため、その説明は省略する。

【0114】

上記のように本実施例では、ポスト電極22Bを絶縁材よりなる保護層17で保持する構成としているため、狭ピッチ化に伴いポスト電極22Bが微細化しても、半導体チップ11上に直接形成されたポスト電極22Bを確実に保護することができる。更に、ポスト電極22Bを貫通孔31Bに挿入する際、ポスト電極22B（特に貫通孔31Bの内周に近いポスト電極22B）がインターポーザ基材21Bと衝突して破損することを防止することができる。

【0115】

続いて、本発明の第6乃至第8実施例について説明する。図13は第6実施例である半導体装置10Fを示しており、図14は第7実施例である半導体装置10Gを示しており、更に図15は第8実施例である半導体装置10Hを示している。各実施例に係る半導体装置10G～10Hは、上記した第1乃至第5実施例に係る半導体装置10A～10Eにおいて、更に薄型化を図れるよう構成したものである。

【0116】

図13に示す半導体装置10Fは、インターポーザ20Fをインターポーザ基材21Cと補強部材29とにより構成したことを特徴としている。インターポーザ基材21Cは、第1乃至第5実施例に係る半導体装置10A～10Eで用いていたインターポーザ基材21A、21Bに比べて薄く形成されている。しかしながら、このインターポーザ基材21Cにはスティフナーとして機能する補強部材29が設けられており、所定の機械的強度を維持するよう構成されている。

【0117】

補強部材29は中央に開口部38が形成されており、この開口部38の面積はインターポーザ基材21Cに形成された貫通孔31Bの面積及び半導体チップ11の面積よりも広く設定されている。即ち、半導体チップ11がインターポーザ基材21Cに直接的に一体化した状態において、補強部材29とインターポーザ基材21Cとの間には段差部39が形成され、この段差部39内に半導体チップ11が収納された構成となっている。この構成とすることにより、半導体チップ11はインターポーザ20Fに形成された段差部39内（窪んだ部分）に収納できるため、半導体装置10Fの薄型化を図ることができる。

【0118】

図14に示す半導体装置10Gは、別個に補強部材29を設けることなく、インターポーザ基材21Dに直接に段差部30を形成したことを特徴とするものである。更に、図15に示す半導体装置10Hは、インターポーザ基材21Eに形成する貫通孔31Cの面積を半導体チップ11の面積よりも大きくすることにより、半導体チップ11を貫通孔31C内に収納するよう構成したものである。いずれの構成の半導体装置10G、10Hであ

っても、半導体チップ 1 1 の高さの一部或いは全部がインターポーザ基材 2 1 D, 2 1 E の厚さと重なるため、半導体装置 1 0 G, 1 0 H の薄型化を図ることができる。

【0 1 1 9】

続いて、本発明の第 9 乃至第 1 2 実施例について説明する。図 1 6 及び図 1 7 は第 9 実施例である半導体装置 1 0 I を示している。また、図 1 8 は第 1 0 実施例である半導体装置 1 0 J の断面図であり、図 1 9 は第 1 1 実施例である半導体装置 1 0 K の断面図であり、図 2 0 は第 1 2 実施例である半導体装置 1 0 L の断面図である。

【0 1 2 0】

この図 1 6 乃至図 2 0 に示す半導体装置 1 0 I ~ 1 0 L は、いずれもインターポーザ 2 0 I ~ 2 1 H に複数の半導体チップ 1 1 を配設したことを特徴としている。尚、図 1 6 以降の各図において、先の説明に用いた図 1 乃至図 1 5 に示した構成と同一構成については同一符号を付してその説明を省略するものとする。

【0 1 2 1】

図 1 6 及び図 1 7 に示す第 9 実施例に係る半導体装置 1 0 I は、インターポーザ 2 0 I のインターポーザ基材 2 1 F に貫通孔が形成されていない構成である。即ち、インターポーザ基材 2 1 F は、複数のキャビティ部 4 0 A がインターポーザ基材 2 1 F の下面から形成されており、この各キャビティ部 4 0 A の天面部分に半導体チップ 1 1 が接合されることにより、複数の半導体チップ 1 1 がインターポーザ 2 0 I に配設された構成とされている。このため図 1 7 に示すように、半導体チップ 1 1 はインターポーザ基材 2 1 F の天板部 4 2 に隠れ、半導体装置 1 0 I の外部からは見えない構成となっている。

【0 1 2 2】

また、各半導体チップ 1 1 は、その背面部 1 1 a がキャビティ部 4 0 A に接合することによりインターポーザ基材 2 1 F に固定される。また、半導体チップ 1 1 とインターポーザ基材 2 1 F との接合は、前記した各実施例と同様に微小基材面接合方法を用いて接合される。

【0 1 2 3】

この際、複数の半導体チップ 1 1 は、インターポーザ基材 2 1 F に同時に一括的に接合させる。即ち、複数の半導体チップ 1 1 は、インターポーザ基材 2 1 F への接合は、いわゆるバジ処理により行われる。これにより、半導体チップ 1 1 のインターポーザ基材 2 1 F への接合処理を効率よく実施することができる。

【0 1 2 4】

一方、前記したように微小基材面接合方法を用いる場合には、接合されるもの同士の材質は同一或いは同種であることが望ましい。このため、本実施例では、インターポーザ基材 2 1 F の材質としてシリコン或はガラスを用いている。これにより、半導体チップ 1 1 とインターポーザ基材 2 1 F との接合力を高めることができ、半導体装置 1 0 I の信頼性を高めることができる。

【0 1 2 5】

また、複数の半導体チップ 1 1 を同一のインターポーザ基材 2 1 F に接合する構成では、個々の半導体チップ 1 1 のインターポーザ基材 2 1 F に対する接合強度を高めることが半導体装置 1 0 I の信頼性を高める点から重要である。この点、本実施例では半導体チップ 1 1 の背面部 1 1 a の全面がキャビティ部 4 0 A に微小基材面接合しているため、半導体チップ 1 1 とインターポーザ基材 2 1 F との接合面積を広くすることができ、半導体チップ 1 1 の取付け強度を高めることができる。

【0 1 2 6】

図 1 8 に示す第 1 0 実施例に係る半導体装置 1 0 J は、インターポーザ基材 2 1 G の下面よりキャビティ部 4 0 B を形成すると共に、天板部 4 2 の半導体チップ 1 1 と対向する所定部分に開口部 4 3 を形成したことを特徴とするものである。本実施例では、天板部 4 2 の開口部 4 3 の外周縁が半導体チップ 1 1 の背面部 1 1 a と微小基材面接合した構成となっている。

【0 1 2 7】

本実施例のようにインターポーザ基材 21G に開口部 43 を形成することにより、半導体チップ 11 の背面部 11a は、外部に露出した構成となる。これにより、半導体チップ 11 で発生する熱を効率よく放熱することができ、半導体チップ 11 が熱により誤動作したり損傷したりすることを確実に防止することができる。

【0128】

図 19 に示す第 11 実施例に係る半導体装置 10K は、インターポーザ基材 21G に下面から形成されるキャビティ部 40B 形成すると共に、天板部 42 の開口部 43 及び半導体チップ 11 の配設位置を除き接着剤 44 を配設したことを特徴とするものである。

【0129】

本実施例に係る半導体装置 10K は、図 18 に示した第 11 実施例に係る半導体装置 10J と同様に、インターポーザ基材 21G の天板部 42 で半導体チップ 11 の背面部 11a と対向する位置に開口部 43 が形成されており、これにより半導体チップ 11 の放熱効率の向上を図っている。しかしながら、開口部 43 を形成することにより放熱効率は向上するものの、天板部 42 と半導体チップ 11 との接合面積が狭くなり、図 18 に示した半導体装置 10J に比べ、半導体チップ 11 のインターポーザ基材 21G に対する接合強度は弱くなる。

【0130】

そこで、本実施例では複数の半導体チップ 11 をインターポーザ基材 21G に微小基材面接合した後、キャビティ部 40B 内に接着剤 44 を配設する構成とした。この接着剤 44 は例えば熱硬化型の樹脂であり、硬化した後は半導体チップ 11 を保護しうる強度を有するものが選定されている。よって、本実施例に係る半導体装置 10K によれば、半導体チップ 11 の放熱効率を高く維持しつつ、半導体チップ 11 のインターポーザ基材 21G に対する機械的強度を高めることができる。

【0131】

図 20 に示す第 12 実施例に係る半導体装置 10L は、インターポーザ基材 21H に上面から複数のキャビティ部 40B を形成し、その各キャビティ部 40B の底板部 45 に貫通孔 31D を形成した構成とされている。そして、底板部 45 の貫通孔 31D が形成された縁部に半導体チップ 11 の絶縁膜 15 が微小基材面接合することにより、インターポーザ基材 21H に固定される構成とされている。また、ポスト電極 22A は貫通孔 31D を介してインターポーザ基材 21H の下面側に延出するよう構成されている。

【0132】

更に、キャビティ部 40C の深さは、半導体チップ 11 の厚さと略等しくなるよう設定されている。従って、半導体チップ 11 がインターポーザ基材 21H に接合された状態において、半導体チップ 11 はインターポーザ基材 21H の内部に位置する構成となる。これにより、半導体チップ 11 及び絶縁層 25、26 がインターポーザ基材 21H から突出する量を小さくでき、半導体装置 10L の薄型化を図ることができる。

【0133】

続いて、本発明の第 13 及び第 14 実施例について説明する。図 21 は第 13 実施例である半導体装置 10M の断面図であり、図 22 は第 13 実施例である半導体装置 10M の斜視図である。また、図 23 は第 14 実施例である半導体装置 10N の断面図である。

【0134】

この図 21 乃至図 23 に示す半導体装置 10M、10N は、いずれも半導体チップ 11 のインターポーザ 20G、20H に対する接合強度を高めるために接合補助部材 27 を設けたことを特徴としている。

【0135】

図 21 及び図 22 に示す第 13 実施例に係る半導体装置 10M は、図 20 に示した第 12 実施例に係る半導体装置 10L に接合補助部材 27 を設けたものである。具体的には、キャビティ部 40C 内の底板部 45 の上面と、半導体チップ 11 の外周側面との間に接合補助部材 27 を設けた構成としている。このため、図 22 に示すように、半導体装置 10M を外観視した場合、半導体チップ 11 の外周位置に接合補助部材 27 がキャビティ部 4

0 Cから露出した状態となる。

【0136】

また、図23に示す第14実施例に係る半導体装置10Mは、図18に示した第10実施例に係る半導体装置10Jに接合補助部材27を設けたものである。具体的には、キャビティ部40C内の天板部42の上下両面と、半導体チップ11の外周側面及び背面部11aとの間に接合補助部材27を設けた構成としている。よって、第13及び14実施例に係る半導体装置10M、10Nによっても、半導体チップ11の放熱効率を高く維持しつつ、半導体チップ11とインターポーザ基材21G、21Hとの機械的強度を高めることができる。

【0137】

続いて、本発明の第15乃至第17実施例について説明する。図24は第15実施例である半導体装置10Pを示す断面図であり、図25は半導体装置10Pの斜視図である。また、図26は第16実施例である半導体装置10Qを示す断面図であり、図27は第17実施例である半導体装置10Rを示す断面図である。

【0138】

この図24乃至図27に示す各半導体装置10P～10Rは、いずれも半導体チップ11を封止するようインターポーザ基材21G、21H、12Iに封止樹脂46A、46Bを設けたことを特徴としている。

【0139】

図24に示す半導体装置10Pは、インターポーザ基材21Iに形成されたキャビティ部40Dに半導体チップ11を接合した後、キャビティ部40Dと半導体チップ11との離間部分に封止樹脂46Aを配設した構成としている。この封止樹脂46Aは、基材となる樹脂（例えば、エポキシ系樹脂）にシリコンをフィラーとして混入したものである。また、基材となる樹脂に高熱伝導性のものを用いて、放熱性を向上させることが望ましい。

【0140】

また、キャビティ部40Dと半導体チップ11との離間部分に封止樹脂46Aを導入する具体的な方法としては、スクリーン印刷法を用いることができる。このスクリーン印刷法を実施する際、スクリーンを用いることなく、直接半導体チップ11が接合されたインターポーザ基材21Iの上部にスキージを用いてスクリーン印刷を行なうことが可能である。この方法を用いた場合には、スクリーンが不要となるため、封止樹脂46Aを配設する処理の簡単化を図ることができる。

【0141】

上記のようにしてキャビティ部40Dと半導体チップ11との離間部分に封止樹脂46Aが配設されることにより、半導体チップ11はインターポーザ基材21Iに封止樹脂46Aにより封止された状態で固定される。これにより、半導体チップ11の保護を確実に図ることができると共に、接合補助部材27（図21～図23参照）及び接着剤44（図19参照）を設けるのと同様に、インターポーザ基材21Iに対する半導体チップ11の取付け強度を高めることができる。

【0142】

また、上記のように封止樹脂46Aとして、基材となる樹脂（例えば、エポキシ系樹脂）にシリコンをフィラーとして混入したものを用いている。即ち、封止樹脂46Aは、インターポーザ基材21Iと同一材質のフィラーが混入された構成とされている。これにより、封止樹脂46Aとインターポーザ基材21Iの熱膨張差を小さくすることができ、封止樹脂46Aを設けても半導体装置10Pに反りが発生することを防止することができる。

【0143】

図26及び図27に示す半導体装置10Q、10Rは、モールド法を用いて封止樹脂46Bを形成したことを特徴としている。モールド法を用いて封止樹脂46Bを形成する場合、図24及び図25に示したスクリーン印刷法により封止樹脂46Aを形成する方法と異なり、形成される封止樹脂46Aの形状の自由度を高めることができる。

【0144】

即ち、封止樹脂46Bは金型（図示せず）を用いて成型されることとなるため、金型に形成されるキャビティを適宜選定することにより、任意の形状の封止樹脂46Bを形成することが可能となる。図26及び図27に示す例では、インターポーザ基材21G、21Hの表面に対し、封止樹脂46Bを高さ ΔH だけ高くなるよう形成したものである。

【0145】

このように、インターポーザ基材21G、21Hに拘わらず封止樹脂46Bを形成することが可能となることにより、半導体装置10Q、10Rの機械的強度を任意に設定することが可能となる。また、モールド法を用いて封止樹脂46Bを形成することにより、一括的に複数の封止樹脂46Bを形成することが可能となり、製造効率を高めることができる。尚、封止樹脂46Bにインターポーザ基材21G、21Hと同一材質のフィラーを混入することにより、半導体装置10Q、10Rに反りが発生することを防止する構成としてもよい。

【0146】

続いて、本発明の第18乃至第20実施例について説明する。図28は第18実施例である電子装置10Sを示す断面図であり、図29は第19実施例である電子装置10Tを示す断面図であり、図30は第20実施例である電子装置10Uを示す断面図である。

【0147】

前記した各実施例に係る電子装置10A～10Rでは、インターポーザ基材21A～20Iに搭載される電子素子として半導体チップ11を用いた例を示した。これに対して第18乃至第20実施例では、電子素子として受動素子であるチップ部品50A～50Cを用いたことを特徴としている。このチップ部品50A～50Cは、具体的にはチップコンデンサー、チップ抵抗等である。

【0148】

この各チップ部品50A～50Cは、抵抗或はコンデンサーがウェハ等の基板上に形成された後、この基板をダイシングすることにより個片化したものである。このダイシングの際、ダイシングブレードの刃先角や刃幅を適宜選定したり、またダイシング方法としてハーフダイシングを用いたりすることにより、各チップ部品50A～50Cは種々の形状を有した構成とされている。具体的には、チップ部品50Aはベベルカット型のものであり、チップ部品50Bはステップカット型のものであり、チップ部品50CはV字カット型のものである。

【0149】

図28に示す電子装置10Sは、インターポーザ基材21Jに形成された貫通孔51にチップ部品50A～50Cを装着したものである。このチップ部品50A～50Cとインターポーザ基材21Jは、前記した各実施例と同様に微小基材面接合方法を用いて接合されている。また、ポスト電極22Aはチップ部品50Aから50Cの電極13に直接形成された構成とされている。

【0150】

従って、上記した各実施例と同様に、受動素子であるチップ部品50A～50Cを用いても接合にバンプやアンダーフィル樹脂を設ける必要がなくなり、部品点数の削減を図ることができる。また、インターポーザ20Sはポスト電極22Aによりチップ部品50A～50Cと電気的に接続されるため、バンプによる接続構造に比べて電極間ピッチを狭ピッチ化することが可能となり、よって電子装置10Sの高密度化を図ることができる。

【0151】

更に、チップ部品50A～50Cとインターポーザ基材21Jは微小基材面接合により直接接触させることにより一体化されているため、バンプとアンダーフィル樹脂を用いた接合力よりも強い接合力でチップ部品50A～50Cとインターポーザ基材21Jとを接合することができる。これにより、電子装置10Sの信頼性を高めることができる。

【0152】

図29に示す電子装置10Tは、インターポーザ20Tを構成するインターポーザ基材

21Kとして、シリコンよりなる平板基板を用いたことを特徴としている。また、チップ部品50A～50Cは、その背面をインターポーザ基材21Kに微小基材面接合により直接接合された構成としている。

【0153】

更に、図30に示す電子装置10Uは、インターポーザ20Uを構成するインターポーザ基材21Lにキャビティ40Eを形成し、このキャビティ40E内にチップ部品50A～50Cを接合したことを特徴とするものである。本実施例においても、チップ部品50A～50Cは、その背面をインターポーザ基材21Lに微小基材面接合により直接接合された構成としている。図29及び図30に示す電子装置10T、10Uによれば、チップ部品50A～50Cの背面全面がインターポーザ基材21K、21Lに微小基材面接合されているため、接合強度を高めることができ、電子装置10T、10Uの信頼性を高めることができる。

【図面の簡単な説明】

【0154】

【図1】 図1は、本発明の第1実施例である半導体装置を示す断面図である。

【図2】 図2は、第1実施例である半導体装置の製造方法を説明するための図である(その1)。

【図3】 図3は、第1実施例である半導体装置の製造方法を説明するための図である(その2)。

【図4】 図4は、第1実施例である半導体装置の製造方法を説明するための図である(その3)。

【図5】 図5は、本発明の第2実施例である半導体装置を示す断面図である。

【図6】 図6は、第2実施例である半導体装置の製造方法を説明するための図である。

【図7】 図7は、本発明の第3実施例である半導体装置を示す断面図である。

【図8】 図8は、第3実施例である半導体装置の製造方法を説明するための図である。

【図9】 図9は、本発明の第4実施例である半導体装置を示す断面図である。

【図10】 図10は、第4実施例である半導体装置の製造方法を説明するための図である。

【図11】 図11は、本発明の第5実施例である半導体装置を示す断面図である。

【図12】 図12は、第5実施例である半導体装置の製造方法を説明するための図である。

【図13】 図13は、本発明の第6実施例である半導体装置を示す断面図である。

【図14】 図14は、本発明の第7実施例である半導体装置を示す断面図である。

【図15】 図15は、本発明の第8実施例である半導体装置を示す断面図である。

【図16】 図16は、本発明の第9実施例である半導体装置を示す断面図である。

【図17】 図17は、本発明の第9実施例である半導体装置を示す斜視図である。

【図18】 図18は、本発明の第10実施例である半導体装置を示す断面図である。

【図19】 図19は、本発明の第11実施例である半導体装置を示す断面図である。

【図20】 図20は、本発明の第12実施例である半導体装置を示す断面図である。

【図21】 図21は、本発明の第13実施例である半導体装置を示す断面図である。

【図22】 図22は、本発明の第13実施例である半導体装置を示す斜視図である。

【図23】 図23は、本発明の第14実施例である半導体装置を示す断面図である。

【図24】 図24は、本発明の第15実施例である半導体装置を示す断面図である。

【図25】 図25は、本発明の第15実施例である半導体装置を示す斜視図である。

【図26】 図26は、本発明の第16実施例である半導体装置を示す断面図である。

【図27】 図27は、本発明の第17実施例である半導体装置を示す断面図である。

【図28】 図28は、本発明の第18実施例である電子装置を示す断面図である。

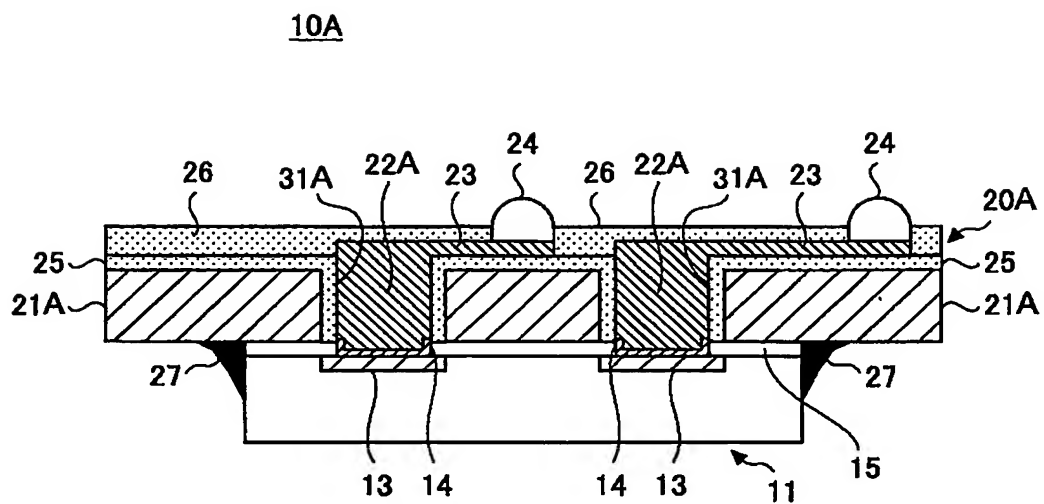
【図29】 図29は、本発明の第19実施例である電子装置を示す断面図である。

【図30】図30は、本発明の第20実施例である電子装置を示す断面図である。

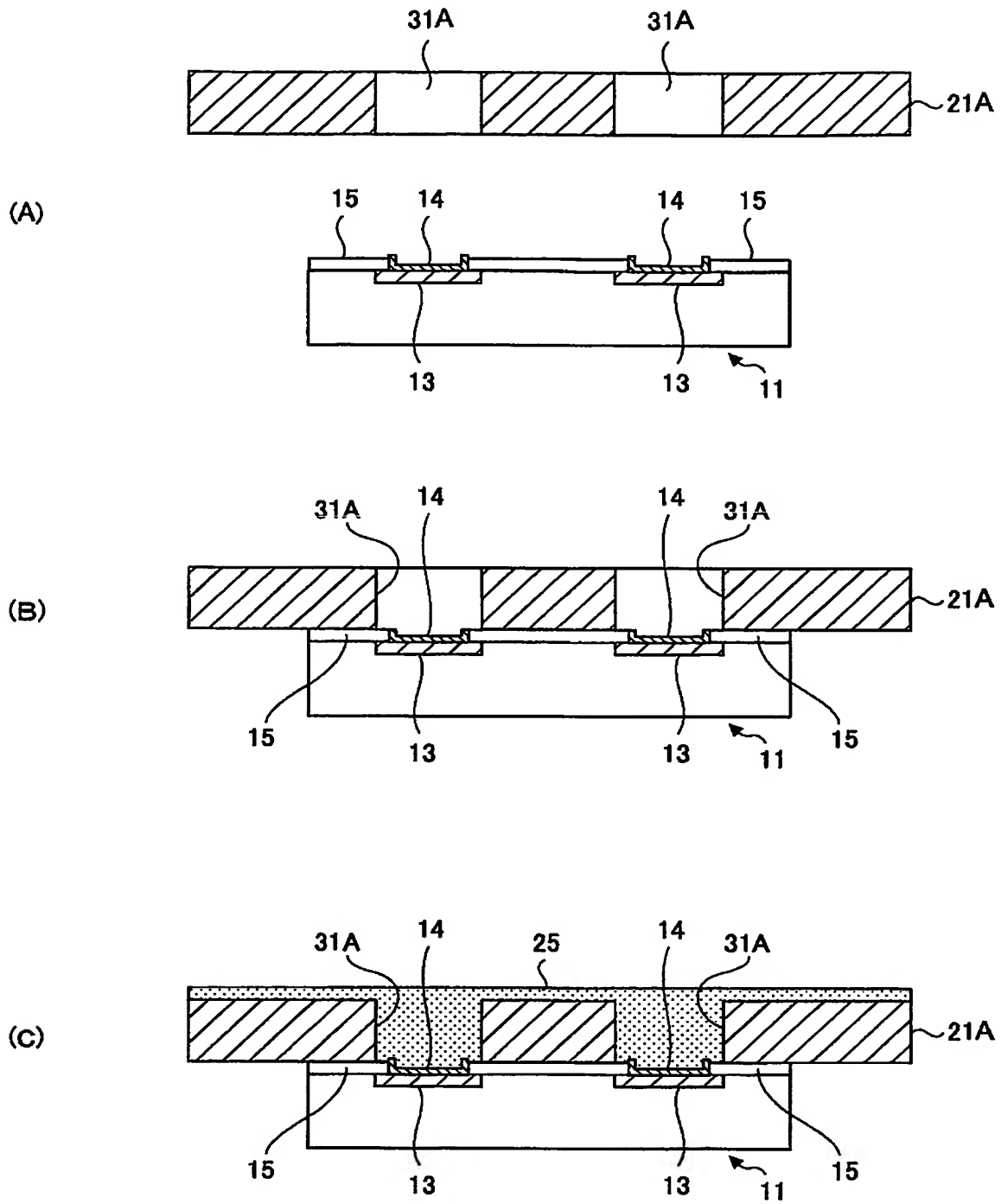
【符号の説明】

【0155】

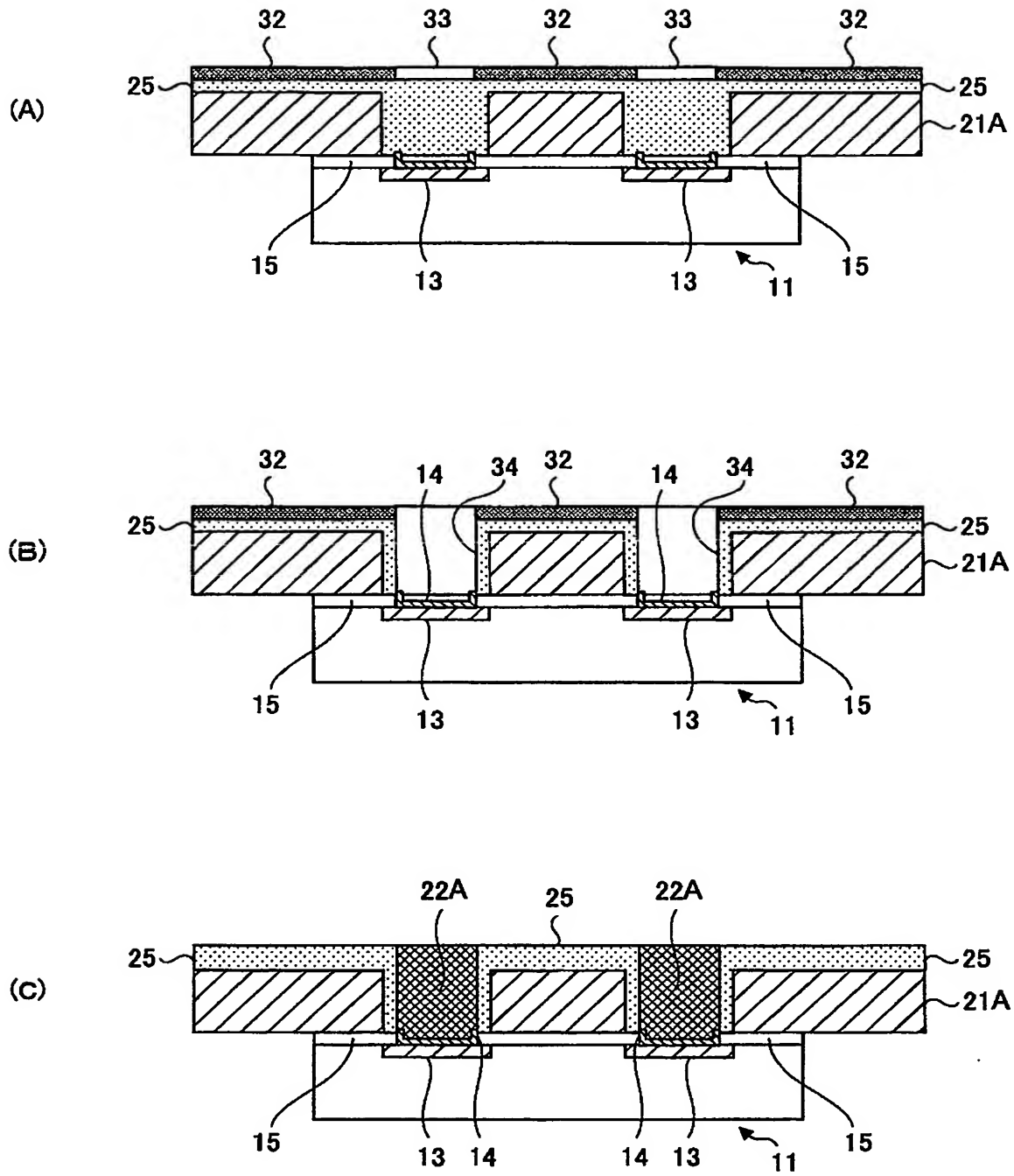
- 10A～10R 半導体装置
- 10S～10U 電子装置
- 11 半導体チップ
- 13 電極
- 14 バリアメタル
- 15 絶縁膜
- 16 チップ側PI膜
- 17 保護層
- 20A～20U インターポーザ
- 21A～21L インターポーザ基材
- 22A, 22B ポスト電極
- 23 再配線層
- 24 外部接続端子
- 25 第1の絶縁層
- 26 第2の絶縁層
- 27 接合補助部材
- 28 インターポーザ側PI膜
- 29 補強部材
- 30, 39 段差部
- 31A～31C 貫通孔
- 32 第1のレジスト材
- 33, 36, 37 開口部
- 34 電極用孔
- 35 第2のレジスト材
- 40A～40D キャビティ部
- 46A, 46B 封止樹脂
- 50A～50C チップ部品



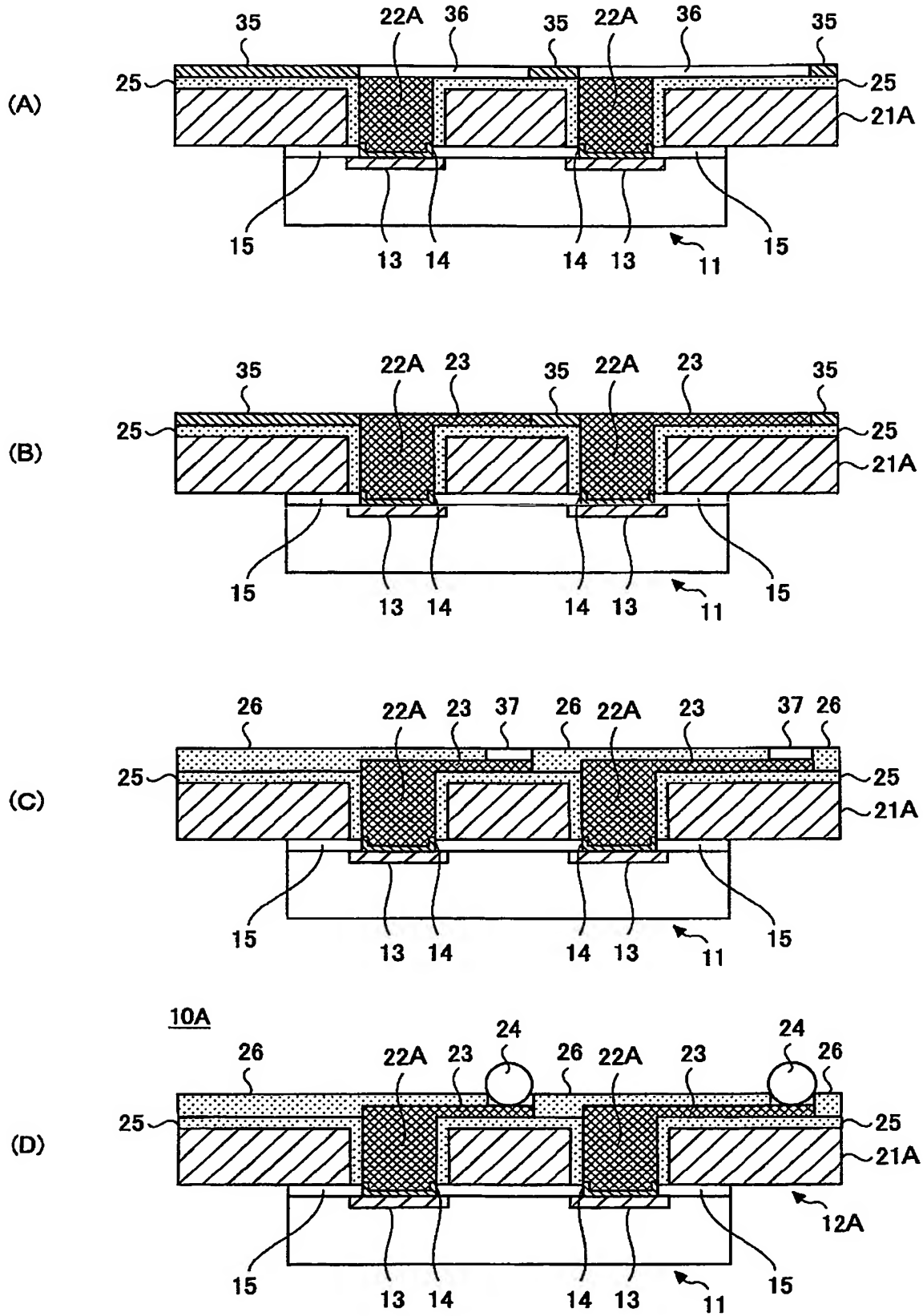
【図 2】



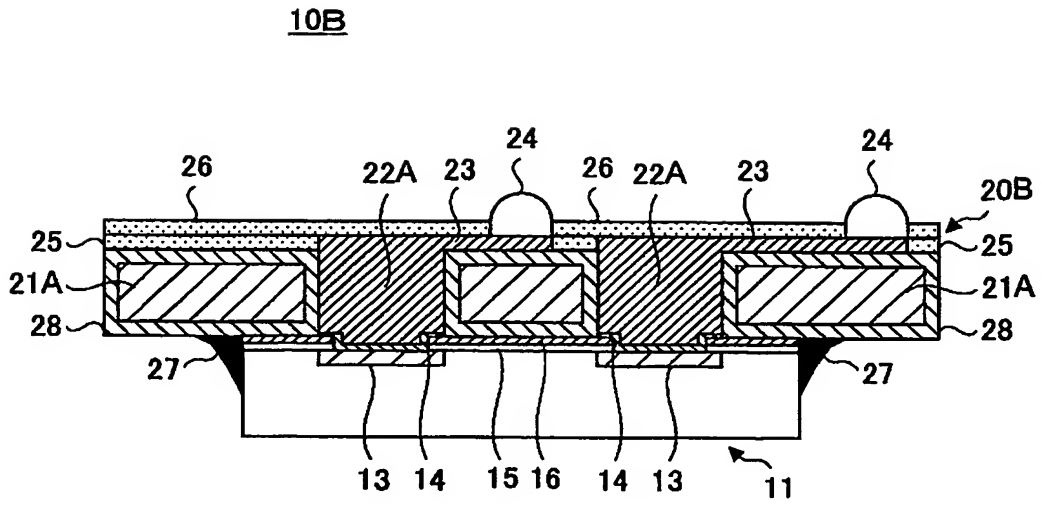
【図 3】



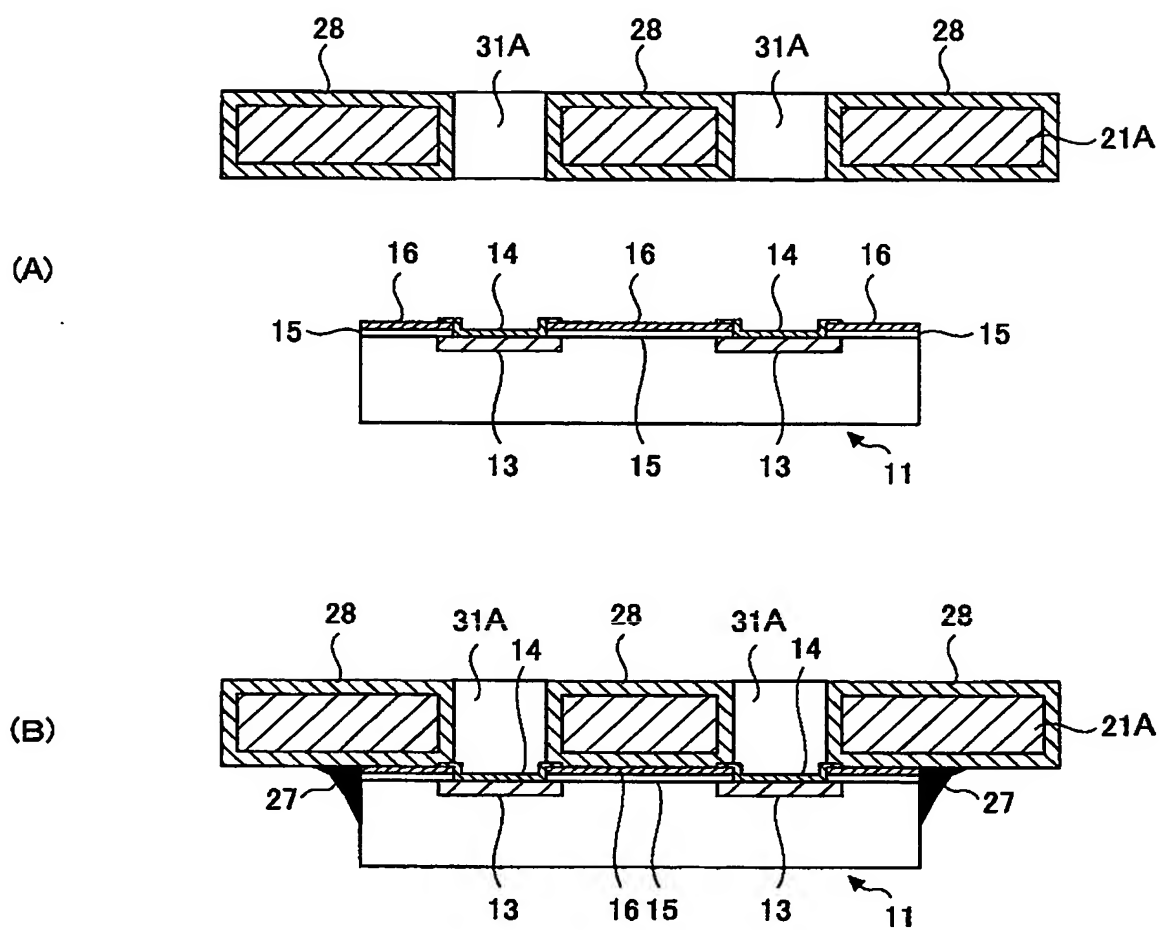
【図 4】



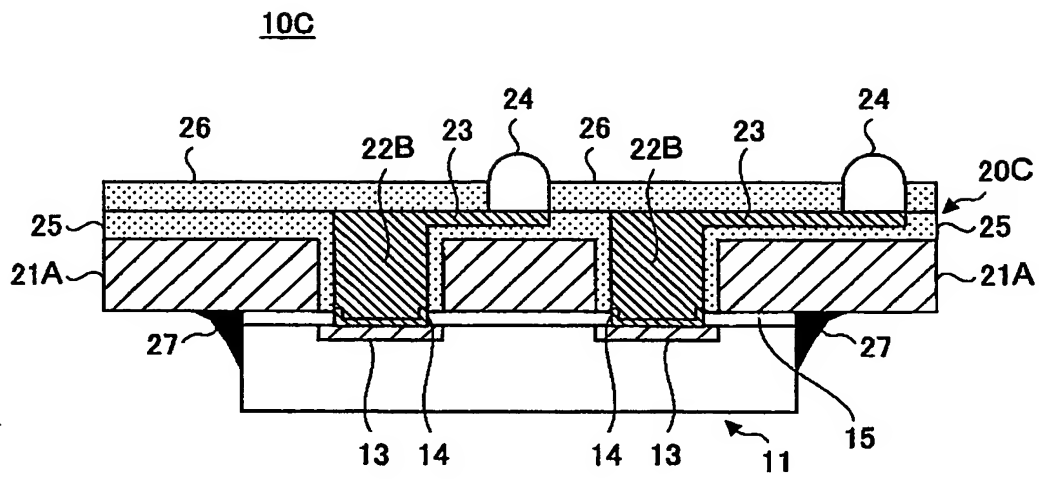
【図 5】



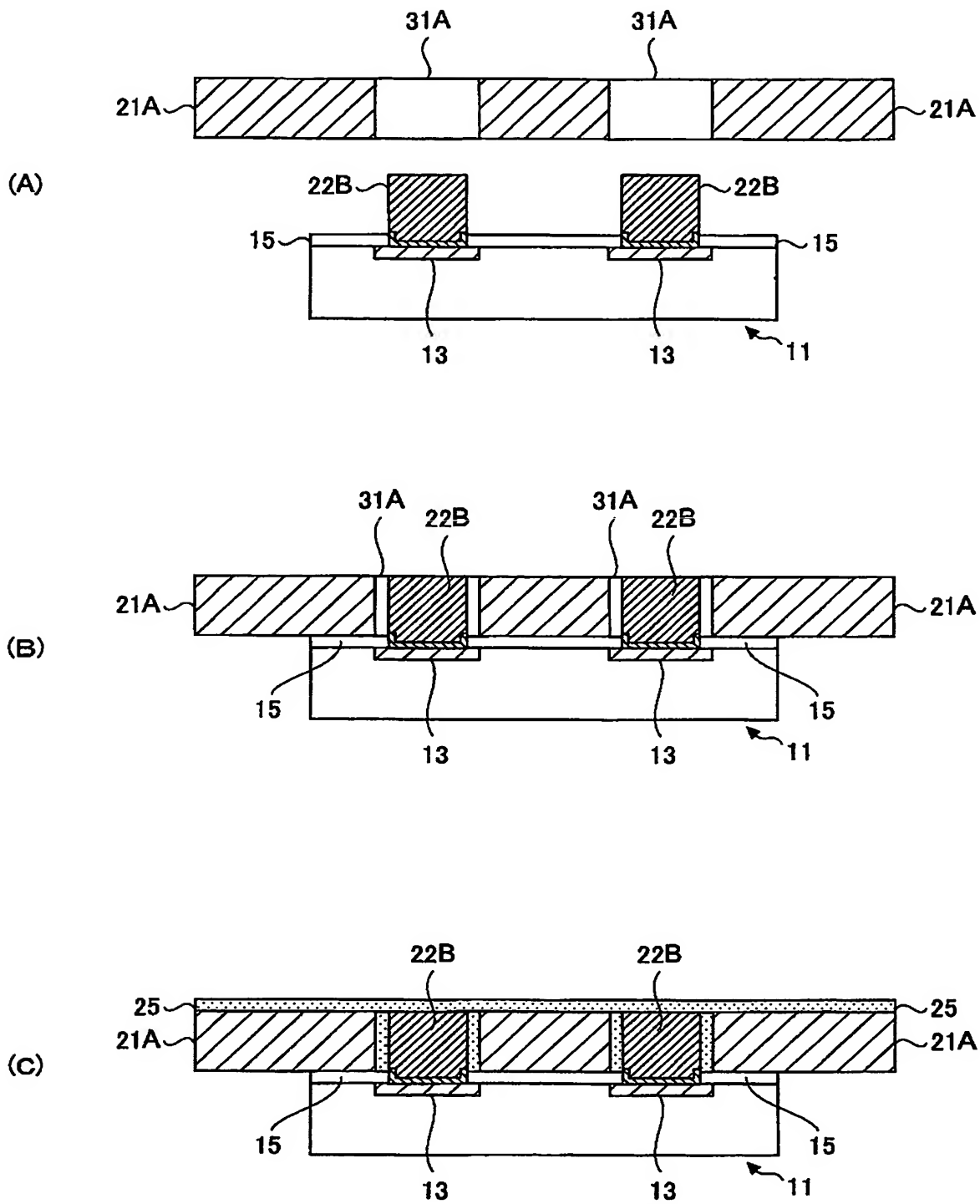
【図 6】



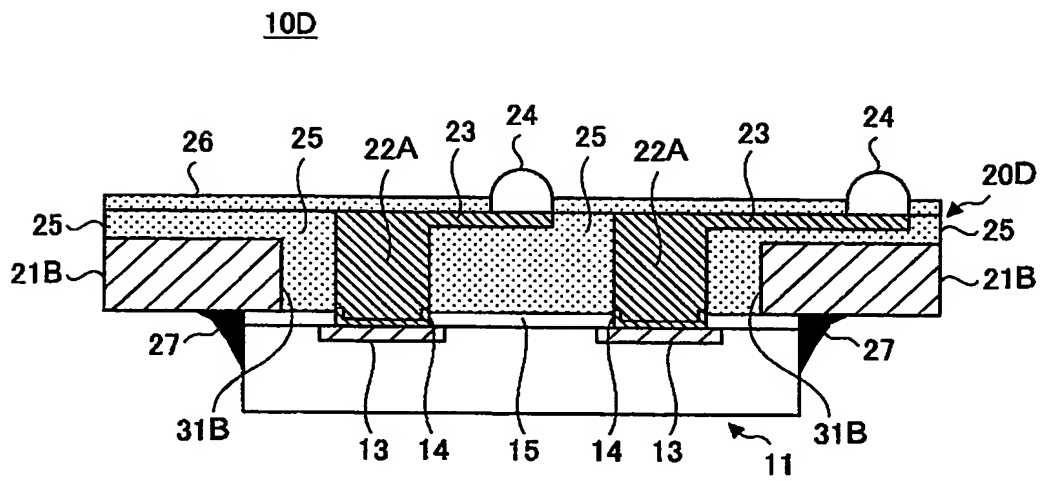
【図 7】



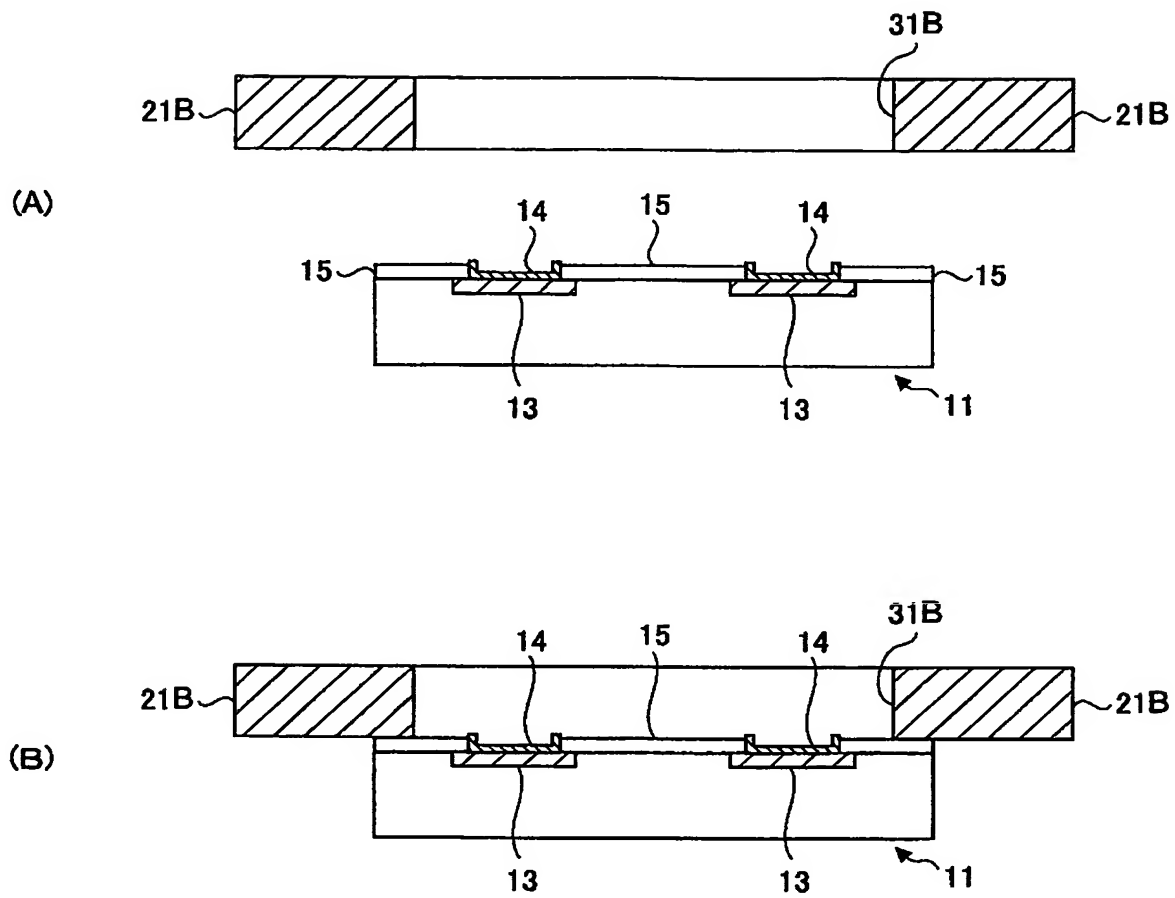
【図 8】



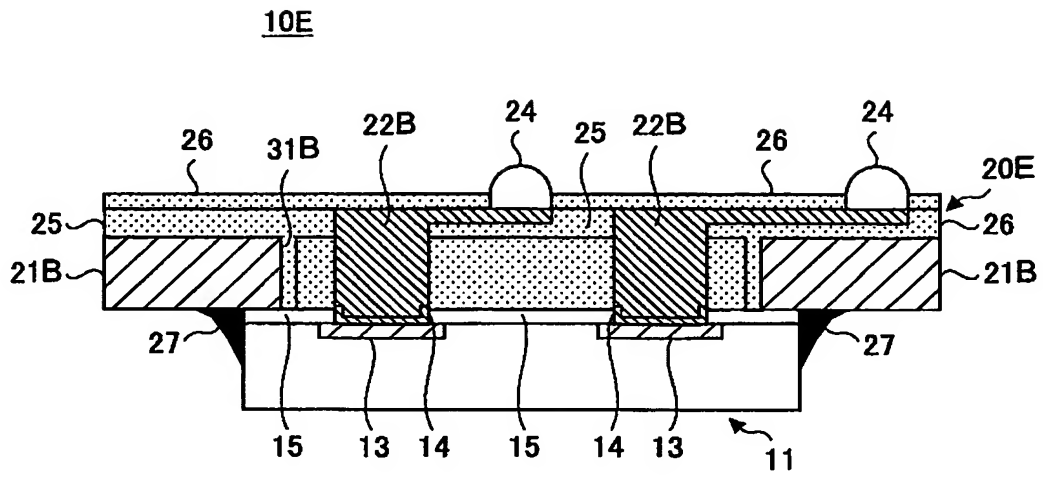
【図 9】



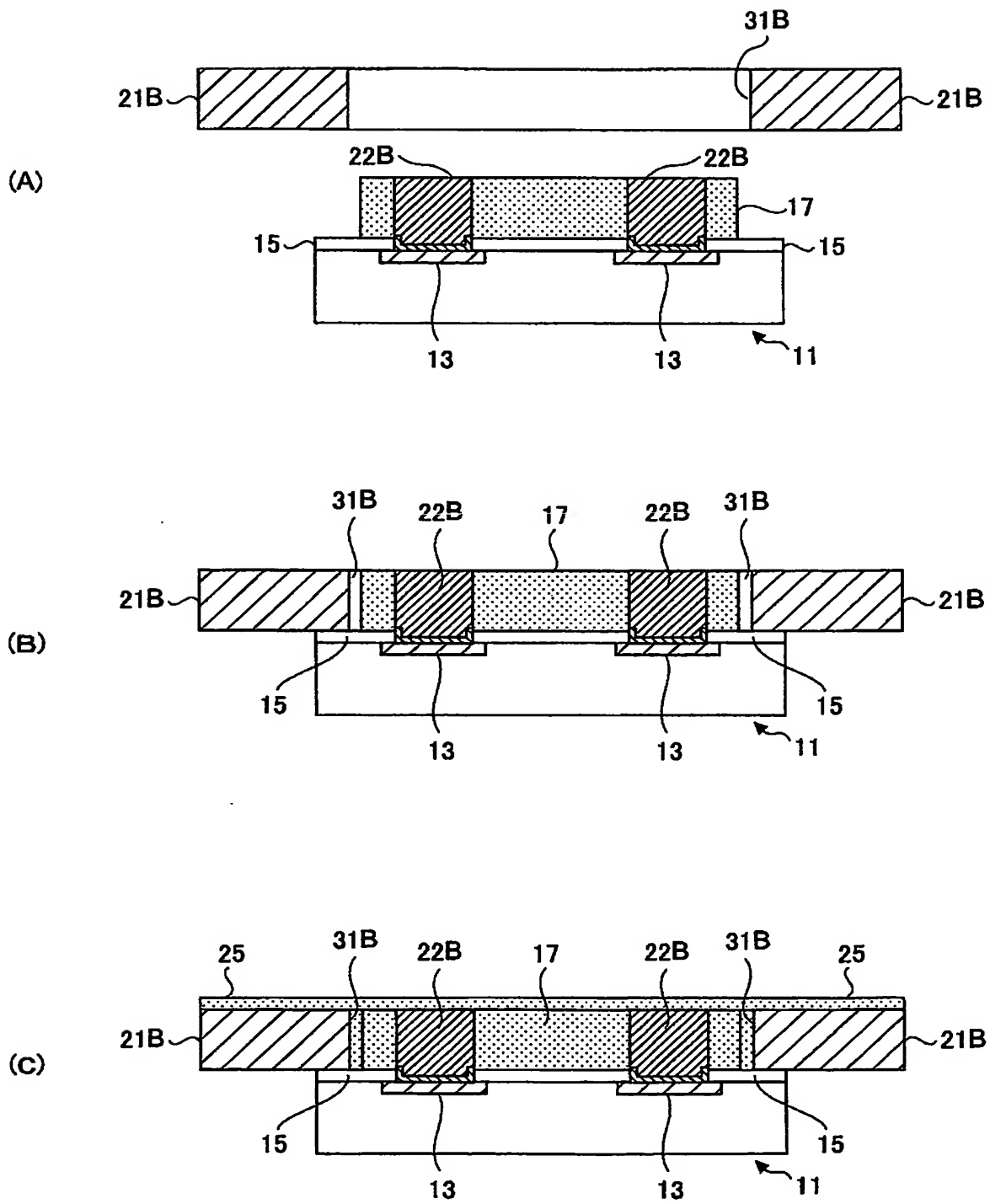
【図 10】



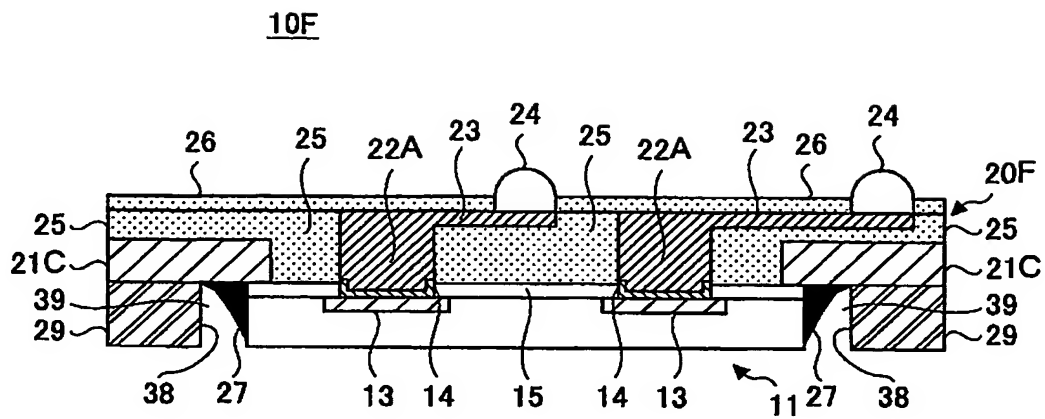
【図 11】



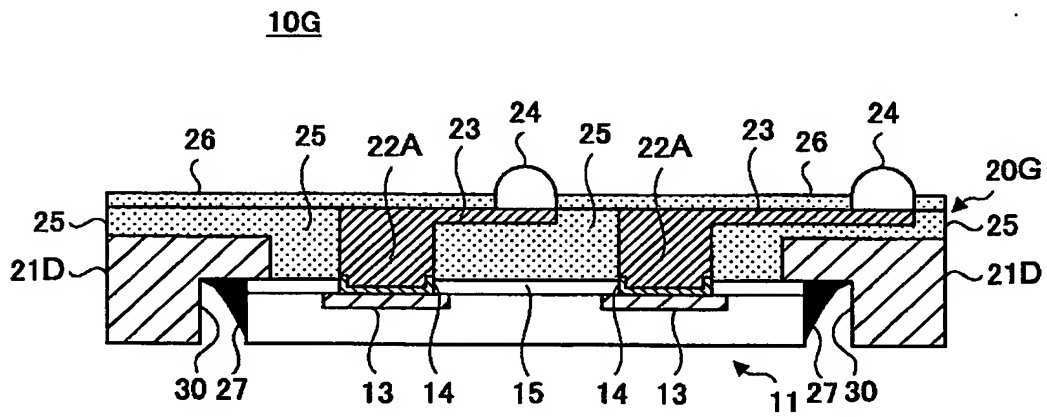
【図 12】



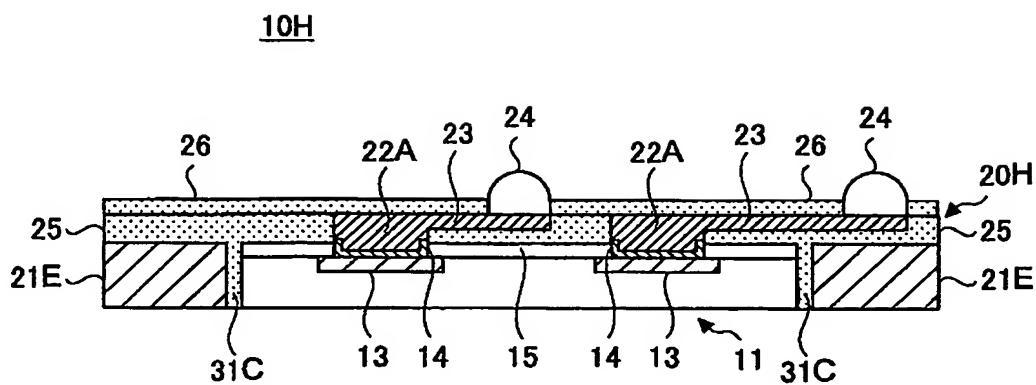
【図 13】



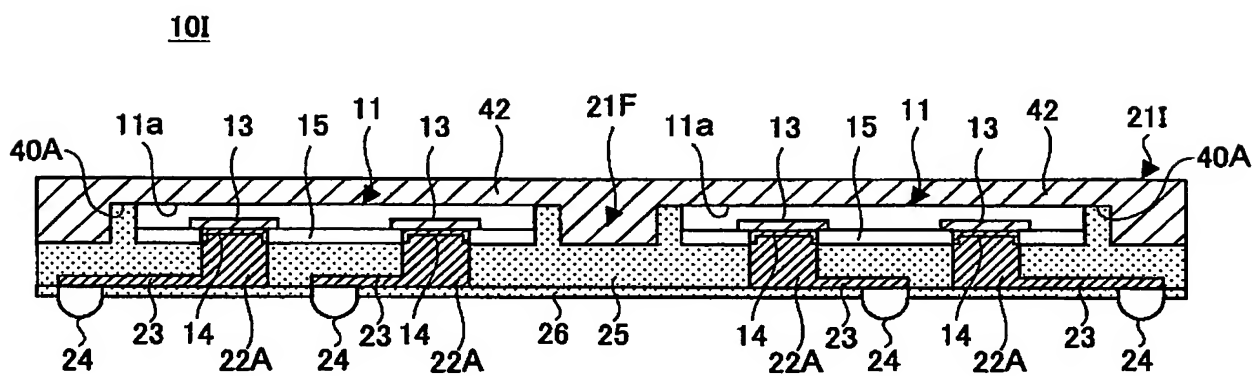
【図 14】



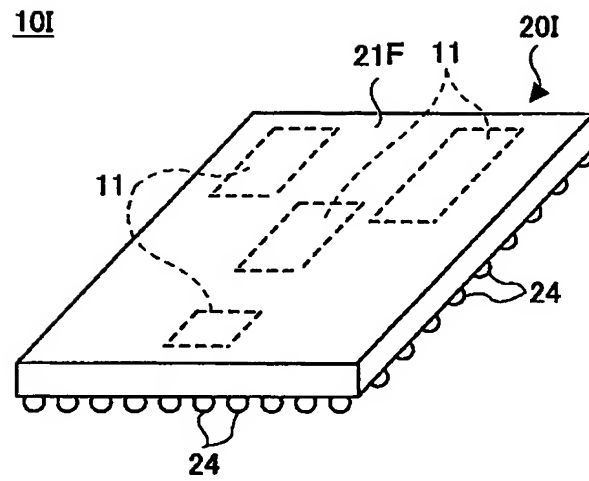
【図 15】



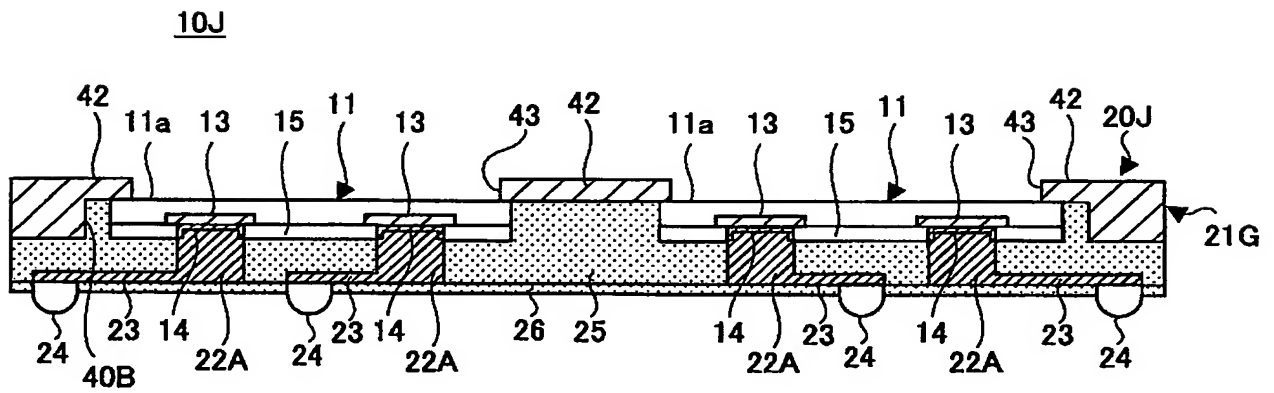
【図 16】



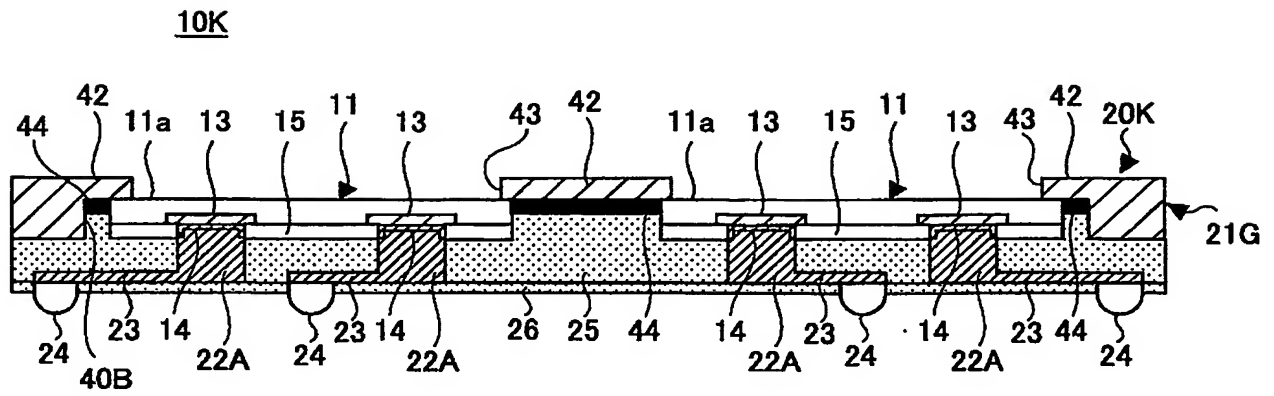
【図 17】



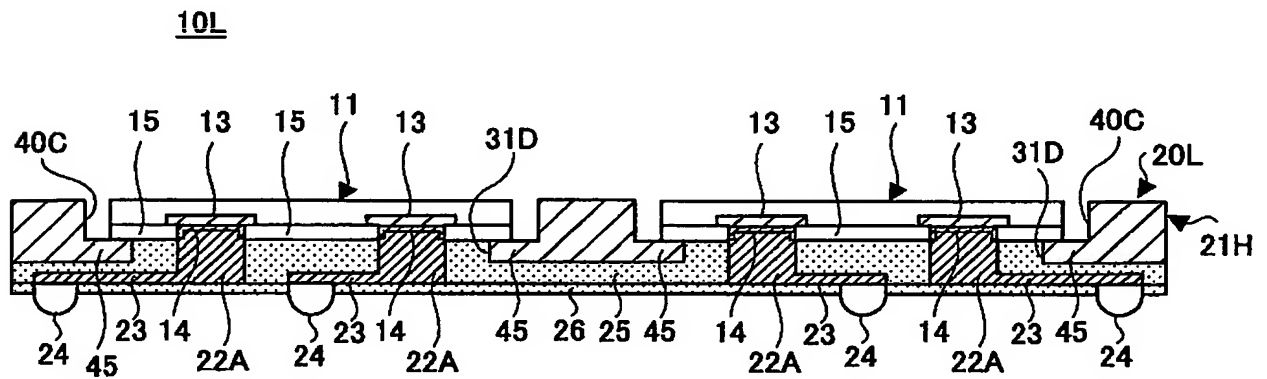
【図 18】



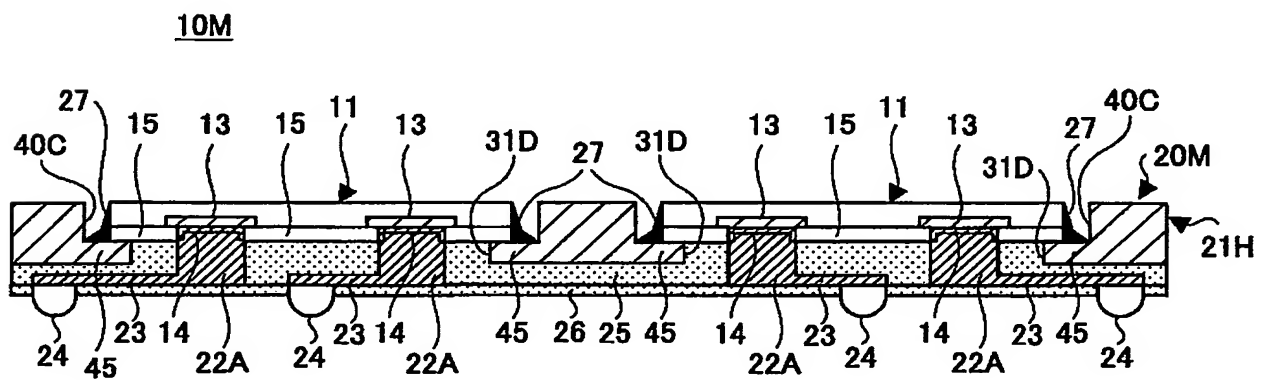
【図 19】



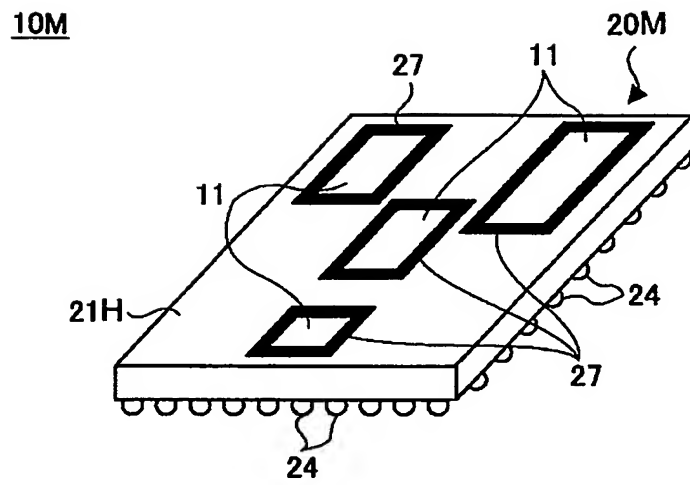
【図 20】



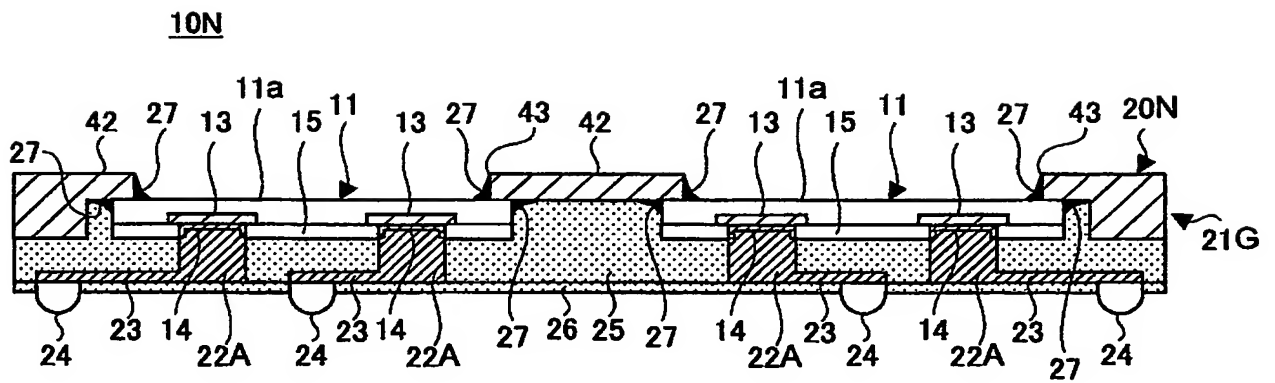
【図 2 1】



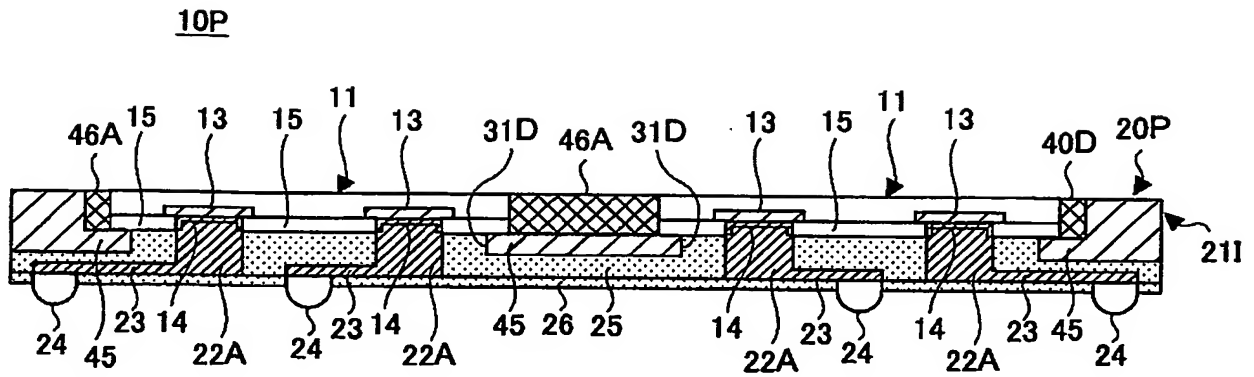
【図 2 2】



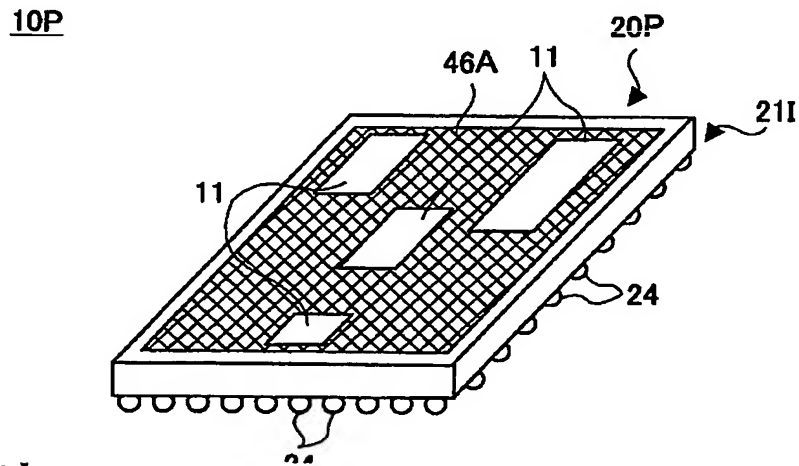
【図 2 3】



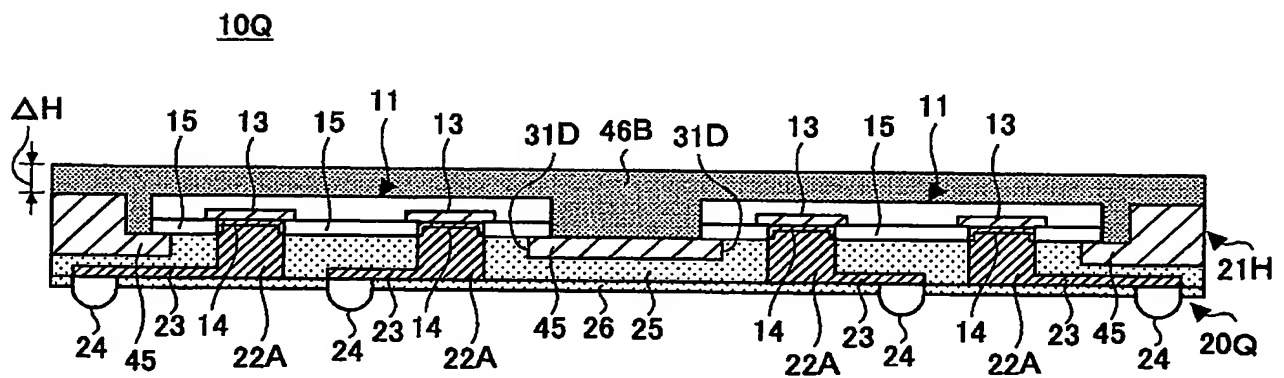
【図 2 4】



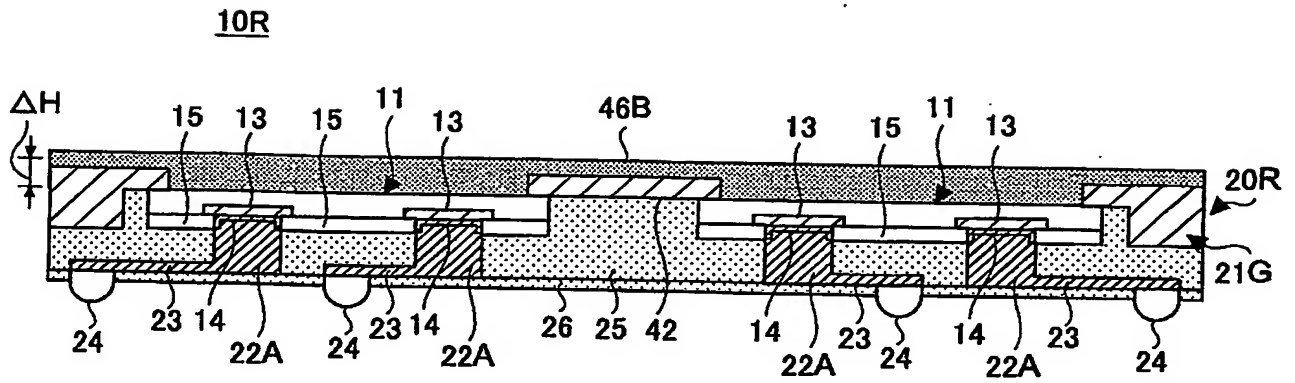
【図 2 5】



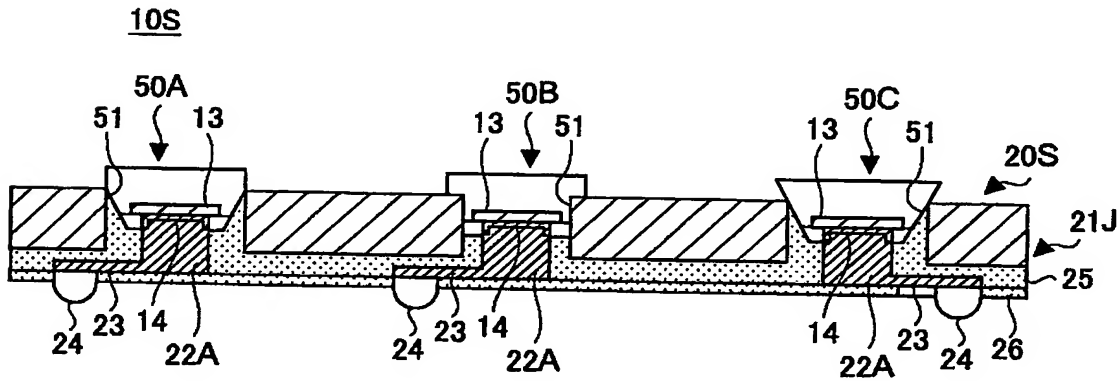
【図 2 6】



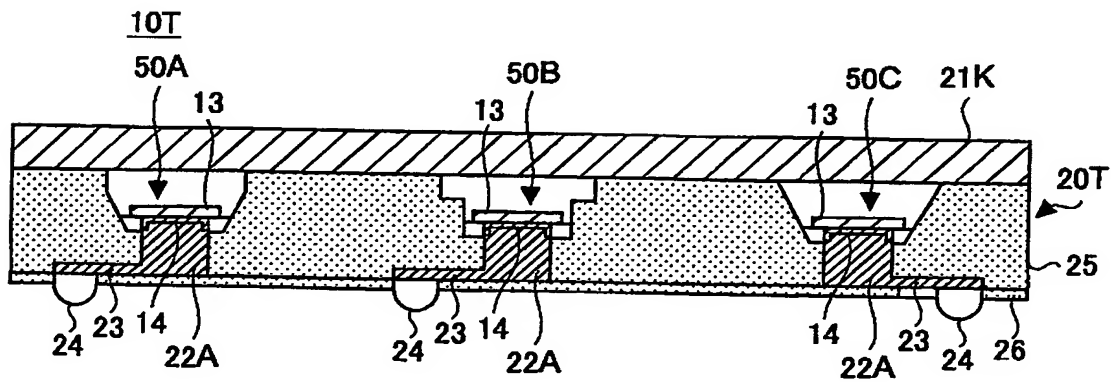
【図 27】



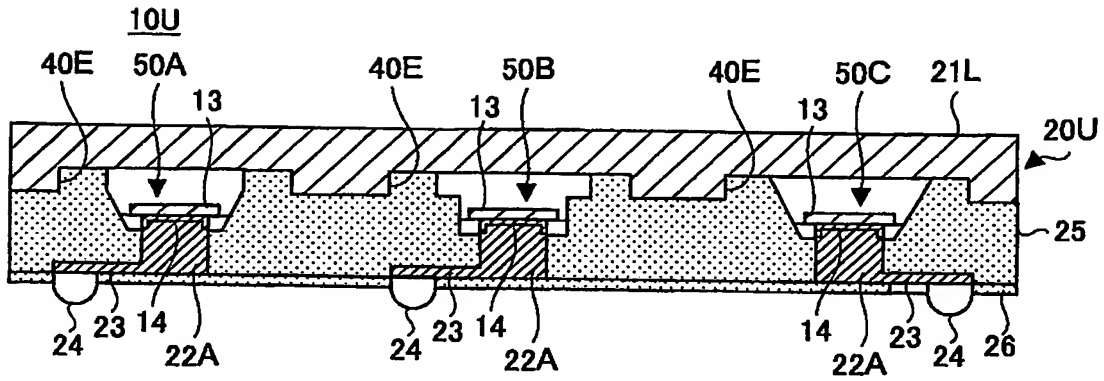
【図 28】



【図 29】



【図 30】



【書類名】 要約書**【要約】**

【課題】 本発明はインターポーザを介して半導体チップを実装基板に電氣的に接続する構成とされた半導体装置及びその製造方法に関し、容易かつ確実に狭ピッチ化に対応すると共に製造コストの低減を図ることを課題とする。

【解決手段】 半導体チップ11と、インターポーザ20Aとを有する半導体装置に関する。インターポーザ20Aは、半導体チップ11が接合されるインターポーザ基材21Aと、このインターポーザ基材21Aに形成された貫通孔31A内に配設され半導体チップ11の電極13（バリアメタル14）と接続される複数のポスト電極22Aとを有する。また、半導体チップ11の表面とインターポーザ基材21Aの表面とを直接接触させることにより一体化すると共に、ポスト電極22Aを半導体チップ11の電極13上に直接形成した構成とする。

【選択図】 図1

特願 2 0 0 4 - 1 3 0 2 1 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 9 0 6 8 8]

1. 変更年月日

2 0 0 3 年 1 0 月 1 日

[変更理由]

住所変更

住 所

長野県長野市小島田町 8 0 番地

氏 名

新光電気工業株式会社